

Trường Đại học Bách Khoa -  
ĐHQG Tp.HCM  
Khoa: Khoa Điện - Điện tử  
Khoa/Bộ môn quản lý MH: Điện  
Tử

Tp.HCM, ngày ..... tháng .....  
năm .....

Đề cương môn học Sau đại học

## THIẾT KẾ VI MẠCH (INTEGRATED CIRCUIT DESIGN)

Mã số MH: EE5140

|                          |              |                            |     |    |     |   |     |         |     |  |         |      |
|--------------------------|--------------|----------------------------|-----|----|-----|---|-----|---------|-----|--|---------|------|
| Số tín chỉ:              |              | Tc (LT.BT&TH.Tự Học): 3    |     |    |     |   |     | ECTS: 6 |     |  |         |      |
| Số tiết                  | -Tổng:       | 67.5                       | LT: | 30 | BT: | 0 | TH: | 15      | ĐA: |  | BTL/TL: | 22.5 |
| Đánh giá:                | Bài tập:     |                            |     |    | 20% |   |     |         |     |  |         |      |
|                          | Thực hành:   |                            |     |    | 20% |   |     |         |     |  |         |      |
|                          | Bài tập lớn: |                            |     |    | 40% |   |     |         |     |  |         |      |
|                          | Thi:         |                            |     |    | 20% |   |     |         |     |  |         |      |
| - Môn tiên quyết:        |              |                            |     |    |     |   |     |         |     |  |         |      |
| - Môn học trước:         |              |                            |     |    |     |   |     |         |     |  |         |      |
| - Môn song hành:         |              |                            |     |    |     |   |     |         |     |  |         |      |
| - CTĐT ngành (Mã ngành): |              | Kỹ Thuật Điện Tử (8520203) |     |    |     |   |     |         |     |  |         |      |
| - Ghi chú khác:          |              |                            |     |    |     |   |     |         |     |  |         |      |

### 1. Mục tiêu môn học:

Phân tích các quy trình trong thiết kế ASIC (Application Specific Integrated Circuit). Bao gồm qui trình thiết kế Custom và qui trình thiết kế Cell base

Phân tích qui trình chế tạo IC

Có khả năng sử dụng các công cụ chuyên nghiệp trong thiết kế IC tín hiệu tương tự và hỗn hợp

Có khả năng vẽ layout cho các mạch đơn giản, từ đó làm nền tảng cho vẽ layout các mạch phức tạp hơn, phục vụ cho quá trình sản xuất

Phân tích các vấn đề quan trọng trong thiết kế IC số

Có khả năng sử dụng các công cụ chuyên nghiệp trong thiết kế IC số

### Aims:

Analyse the ASIC (Application Specific Integrated Circuit) design includes Custom design flow and Cell base design flow

Analyse the IC fabrication process

Be able to use CAD tool to design analog and mixed signal IC

Be able to draw layout for simple circuits. This is foundation for student that could draw layout for more complicated circuits and could do in fabrication

Analyse important things in digital IC design

Be able to use CAD tool to design digital IC

## **2. Nội dung tóm tắt môn học:**

Nội dung môn học này được trình bày trong 9 chương. Chương 1 giới thiệu các loại ASIC, những bước cơ bản của quy trình thiết kế ASIC, và thư viện ASIC. Chương 2 trình bày về công nghệ CMOS, các bước sản xuất trong IC mà giúp sinh viên hiểu hơn về layout, thiết kế vật lý. Chương 3 trình bày về ngôn ngữ Verilog cho thiết kế số. Sinh viên sẽ được học kiến thức về lập trình ngôn ngữ Verilog và ứng dụng ngôn ngữ này cho thiết kế logic, mô hình cổng và mô hình độ trễ cho ASIC. Chương 4 trình bày về tổng hợp logic. Sinh viên sẽ hiểu được cách tổng hợp mạch tổ hợp và tuần tự, cách tổng hợp bộ nhớ, và cách tối ưu về tốc độ và diện tích. Chương 5 mô tả cách quy hoạch và sắp chỗ trong thiết kế ASIC, đồng thời mô tả các bước trong thiết kế vật lý và định dạng các hồ sơ thông tin của nó. Chương 6 trình bày bước kết nối trong thiết kế ASIC bao gồm kết nối chi tiết và kết nối toàn cục. Chương 7 trình bày cách kiểm tra thời gian tĩnh trong thiết kế IC. Chương 8 trình bày hướng sử dụng công cụ CAD để thiết kế một số ứng dụng hữu ích và phổ biến như Op-amp, phân cực, ADC. Chương cuối cùng, chương 9 trình bày cách sử dụng công cụ Synopsys để thiết kế, tổng hợp, phân tích và hiện thực một ASIC.

### **Course outline:**

The content of this course is represented in 9 chapters. Chapter 1 introduces types of ASICs, basic steps of the ASIC design flow, and ASIC cell libraries. Chapter 2 presents CMOS technology, IC fabrication steps that could help students understand layout-physical design. Chapter 3 presents Verilog language for digital design. Students will learn knowledge of Verilog programming and its applications for logic design, logic-gate modeling, and delay modeling. Chapter 4 presents logic synthesis. Students will understand how to synthesize combinational and sequential circuits, how to synthesize memory, and how to optimize speed and area. Chapter 5 describes floorplanning and placement in ASIC design, and also describes physical design process and its information formats. Chapter 6 presents routing in ASIC design including detail routing and global routing. Chapter 7 describes how to check static timing in IC design. Chapter 8 intends to use CAD tool to design some useful application such as Op-amp, voltage-reference, ADC. Last chapter, chapter 9 shows how to use Synopsys tool to design, synthesis, analyze, and implement an ASIC.

## **3. Tài liệu học tập:**

- [1] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw Hill, 2001
- [2] Allen, Holberg, "CMOS Analog Circuit Design", Oxford University Press, 2002
- [3] Michael John Sebastian Smith, "Application-Specific Integrated Circuits", Addison-Wesley, 1,400 pages, ISBN: 0-201-50022-1, June 1997
- [4] Palnitkar, Samir. "Verilog HDL: A Guide to Digital Design and Synthesis", 2nd ed. Upper Saddle River, NJ: Prentice Hall, 2003. ISBN: 0130449113.
- [5] Wayne Wolf, "Modern VLSI Design – IP-Based Design", Prentice Hall, 2009
- [6] Tống Văn On, "Thiết kế mạch số với VHDL & Verilog", Nhà xuất bản Lao động Xã hội.

[7] Tổng Văn On, “Nguyên lý mạch tích hợp”, Nhà xuất bản Lao động Xã hội.

[8] User Manual of Cadence/Synopsys or equivalent tools.

#### 4. Các hiểu biết, các kỹ năng cần đạt được sau khi học môn học:

| STT | Chuẩn đầu ra môn học (CĐRMH) | Công cụ đánh giá CĐRMH | Đóng góp CDR Chương trình (CDRCT) |            |  |
|-----|------------------------------|------------------------|-----------------------------------|------------|--|
|     |                              |                        | Ứng dụng                          | Nghiên cứu |  |

#### Learning outcomes:

| No. | Course learning outcomes (CLO) | CLO assessment | Matching with PLO |          |  |
|-----|--------------------------------|----------------|-------------------|----------|--|
|     |                                |                | Coursework        | Research |  |

#### Bảng ánh xạ chuẩn đầu ra môn học và chuẩn đầu ra chương trình ứng dụng:

|                              | Chuẩn đầu ra của chương trình (CDRCT) |   |   |   |   |   |   |   |   |   |   |
|------------------------------|---------------------------------------|---|---|---|---|---|---|---|---|---|---|
| Chuẩn đầu ra môn học (CĐRMH) | a                                     | b | c | d | e | f | g | h | i | j | k |

#### Bảng ánh xạ chuẩn đầu ra môn học và chuẩn đầu ra chương trình nghiên cứu:

|                              | Chuẩn đầu ra của chương trình (CDRCT) |   |   |   |   |   |   |   |   |   |   |
|------------------------------|---------------------------------------|---|---|---|---|---|---|---|---|---|---|
| Chuẩn đầu ra môn học (CĐRMH) | a                                     | b | c | d | e | f | g | h | i | j | k |

#### 5. Hướng dẫn cách học - chi tiết cách đánh giá môn học:

Tài liệu được đưa lên BKEL hàng tuần. Điểm tổng kết môn học được đánh giá xuyên suốt quá trình học

Bài tập 20%

Thực hành: 10%

Bài tập lớn: 20%

Thi: 50%

Điều kiện dự thi:

HV được yêu cầu phải nộp đủ và đúng hạn bài tập lớn và bài tập về nhà trên BKEL

#### Learning strategies & Assessment Scheme:

Course materials are uploaded to BKEL every week. The grade is evaluated for all learning duration:

Assignments: 20%

Experiment: 10%

Class project: 20%

Final exam: 50%

Condition for exam attendance:

Students submit all assignments and class project report on BKEL

**6. Nội dung chi tiết:**

| Tuần/<br>Buổi               | Chủ đề (chương) | Nội dung | Chuẩn đầu ra<br>môn học | Tài liệu |
|-----------------------------|-----------------|----------|-------------------------|----------|
| 1                           |                 |          |                         |          |
| 2,3                         |                 |          |                         |          |
| 4,5                         |                 |          |                         |          |
| 6                           |                 |          |                         |          |
| 7                           |                 |          |                         |          |
| 8                           |                 |          |                         |          |
| 9, 10                       |                 |          |                         |          |
| 11,<br>12,<br>13,<br>14, 15 |                 |          |                         |          |
| 16,<br>17,<br>18,<br>19, 20 |                 |          |                         |          |

**7. Giảng viên tham gia giảng dạy:**

CBGD  
chính:

PGS.TS  
Hoàng  
Trang

CBGD  
tham  
gia:

PGS.TS  
Trương  
Quang  
Vinh  
TS.  
Trần  
Hoàng  
Linh

**XÁC NHẬN  
CỦA HỘI  
ĐỒNG XÂY  
DỰNG  
CHƯƠNG  
TRÌNH ĐÀO  
TẠO VÀ KHOA**

*Tp. Hồ Chí  
Minh, ngày  
..... tháng  
..... năm*

.....  
**GIẢNG  
VIÊN  
LẬP ĐỀ  
CƯƠNG**