

**ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA**

LÊ THÀNH TỚI

**NGHIÊN CỨU NULL CONVENTION LOGIC
TRONG THIẾT KẾ VI MẠCH BẤT ĐỒNG BỘ**

Ngành: Kỹ thuật điện tử
Mã số ngành: 9520203

TÓM TẮT LUẬN ÁN TIẾN SĨ

TP. HỒ CHÍ MINH - NĂM 2022

Công trình được hoàn thành tại **Trường Đại học Bách Khoa – ĐHQG-HCM**

Người hướng dẫn 1: PGS.TS HOÀNG TRANG

Người hướng dẫn 2:

Phản biện độc lập:

Phản biện độc lập:

Phản biện:

Phản biện:

Phản biện:

Luận án sẽ được bảo vệ trước Hội đồng đánh giá luận án họp tại

.....
.....

vào lúc giờ ngày tháng năm 2022

CHƯƠNG 1 GIỚI THIỆU

Ngày nay, hầu hết các mạch số được thiết kế bằng phương pháp thiết kế đồng bộ. Sự phát triển của các mạch đồng bộ hiện đang đóng vai trò quan trọng trong ngành thiết kế bán dẫn. Tuy nhiên, có nhiều yếu tố hạn chế đối với các hệ thống số hoàn toàn đồng bộ, đó là vấn đề tiêu thụ nhiều năng lượng do sự phân bố xung clock trên toàn bộ mạch đồng bộ, tốc độ xung clock ngày càng tăng do yêu cầu công nghệ, và các vấn đề khác liên quan đến xung clock. Trong khi đó, mạch bất đồng bộ không sử dụng xung clock, chúng có khả năng đáp ứng được yêu cầu công suất tiêu thụ thấp hơn, tạo ra nhiễu và nhiễu điện từ EMI (Electromagnetic Interference) thấp hơn so với mạch đồng bộ [1].

NCL (Null Convention Logic) là logic không nhạy với delay và thuộc logic bất đồng bộ. Ban đầu, NCL được dùng để nhắm tới mục tiêu thiết kế ASIC (Application-Specific Integrated Circuit) và thiết kế mạch VLSI (Very Large-Scale Integration) với công suất thấp, nhiễu thấp, và giao thoa điện từ thấp [1]. Sau đó, trải qua một thời gian dài, NCL đã được nghiên cứu và quan tâm nhiều bởi nhiều nhà nghiên cứu trên thế giới. Càng ngày nhu cầu về các mạch có tốc độ cao, công suất thấp càng tăng, cũng như các vấn đề về clock như clock skew, clock tree, ngày càng phức tạp, khó giải quyết hơn thì phương pháp thiết kế bất đồng bộ ngày càng được chú ý. Do đó, trong vài thập niên gần đây, NCL được quan tâm, nghiên cứu ngày càng nhiều hơn bởi cả các nhà nghiên cứu hàn lâm và trong công nghiệp [3].

Nhìn chung, thế giới số vẫn đang chịu sự chi phối bởi sự phát triển mạnh mẽ của kỹ thuật thiết kế đồng bộ. Tuy nhiên, mạch đồng bộ lại có nhiều nhược điểm về vấn đề xung clock như được trình bày ở trên và đặc biệt nhất là vấn đề công suất tiêu thụ [1]. Nó là nỗi lo lớn trong các ứng dụng như wireless, laptop, điện thoại di động, các thiết bị y tế, bởi vì sự duy trì nguồn pin sử dụng của chúng [24]. Trong những năm gần đây, có rất nhiều nghiên cứu về các vi mạch công suất thấp sử dụng kỹ thuật thiết kế đồng bộ. Mặc dù, các nghiên cứu đó đã cho thấy một sự cải tiến về công suất tiêu thụ, nhưng khi tần số tăng thì giá trị công suất tiêu

thụ cũng tăng rất mạnh. Sự gia tăng phần công suất tiêu thụ này chủ yếu là do công suất chuyển mạch.

Ngược lại với kỹ thuật thiết kế đồng bộ, kỹ thuật thiết kế mạch bất đồng bộ không sử dụng xung clock, nó có khả năng khắc phục được một số nhược điểm liên quan đến vấn đề xung clock. Luồng dữ liệu trong mạch được điều khiển qua giao thức bắt tay cục bộ giữa hai thanh ghi, quá trình chuyển mạch chỉ xảy ra khi cần thiết. Vì vậy, mạch không phải tiêu tốn nhiều năng lượng như trong các mạch đồng bộ. Đặc biệt, phương pháp thiết kế mạch bất đồng bộ dựa trên NCL được nghiên cứu đã cho thấy sự cải thiện về công suất cho các vi mạch. Để minh họa cho phương pháp nghiên cứu, thuật toán AES (Advanced Encryption Standard) được chọn như một ví dụ minh họa. Trong luận án này, mô hình của ví dụ với thuật toán AES còn được thực hiện bằng cách sử dụng phương pháp thiết kế đồng bộ. Cả hai thiết kế được mô phỏng thử nghiệm trên ASIC và trên FPGA (Field Programmable Gate Array). Tác giả đã so sánh kết quả tổng hợp về công suất tiêu thụ, tốc độ hoạt động và về diện tích bằng phương pháp bất đồng bộ dựa trên NCL và phương pháp đồng bộ được thực hiện bởi chính tác giả và kết quả tổng hợp của các tác giả khác.

Phương pháp bất đồng bộ dựa trên NCL có nhiều ưu điểm. Như vậy, chuyển đổi một thiết kế đồng bộ sang thiết kế bất đồng bộ nhằm cải thiện thiết kế cũng là một ý tưởng thường gặp trong quá trình nghiên cứu. Do đó, việc chọn lựa công cụ để chuyển đổi thiết kế đồng bộ sang bất đồng bộ cũng là vấn đề cần thiết. Trong luận án này, UNCLE (Unified NCL Environment) được lựa chọn để thực hiện việc chuyển đổi nhờ vào các ưu điểm vượt trội của nó về các chức năng tối ưu tùy chọn trong qui trình chuyển đổi khi so sánh với Balsa [31]. Khối S-box trong quá trình mã hóa AES được chọn thực hiện để minh họa cho qui trình chuyển đổi.

Trong hầu hết các nghiên cứu về NCL, các tác giả đã thực hiện các thiết kế của họ theo một trong ba phương pháp. Phương pháp thứ nhất là sử dụng qui trình thiết kế full-custom. Phương pháp thứ hai là thiết kế tổng hợp dựa trên thư viện

truyền thống [32]. Phương pháp cuối cùng là sử dụng các công cụ ánh xạ để chuyển các thiết kế đồng bộ sang các thiết kế bất đồng bộ [31]. Các thiết kế này sau đó sẽ được tổng hợp bởi các công cụ khác. Trong các phương pháp được đề cập trên, các nhà nghiên cứu về NCL thường gặp phải khó khăn về thư viện tổng hợp. Việc thiếu các thư viện cell NCL là một trong những rào cản lớn đối với nghiên cứu và phát triển của phương pháp thiết kế mạch bất đồng bộ dựa trên NCL. Trong những nghiên cứu mới về thiết kế thư viện cell, đã có một vài qui trình thiết kế được đề xuất [33], [34]. Các qui trình này thì khá phức tạp và thường sử dụng các công cụ của chính tác giả. Các công cụ này thường gây ra những khó khăn cho người sử dụng khi cài đặt và sử dụng. Nếu có bất kỳ lỗi hoặc hạn chế nào về công cụ xảy ra trong quá trình sử dụng thì rất khó để khắc phục. Do đó, trong luận án này, tác giả đề xuất cải tiến qui trình thiết kế thư viện cell của các cổng ngưỡng bằng cách chỉ sử dụng các công cụ thương mại và đề xuất thiết kế các thư viện cell NCL bán tĩnh và tĩnh ở qui trình công nghệ 45nm. Các cell được thiết kế và tổng hợp bằng Virtuoso và Design Compiler. Ngoài ra, tập lệnh ocean script và môi trường thiết kế EDA (Electronic Design Automation) được sử dụng để cải tiến và hỗ trợ cho quá trình đặc tính hóa cell tự động để thu thập các dữ liệu về mô hình thời gian và công suất. Thư viện hoàn chỉnh gồm 27 cell dùng để tổng hợp các thiết kế bất bộ dựa trên NCL.

Cấu trúc phần còn lại của Luận án này được tổ chức thành 5 chương. Chương 2 cung cấp tổng quan về các mô hình thiết kế mạch bất đồng bộ và về NCL. Chương 3 trình bày phương pháp thiết kế vi mạch bất đồng bộ dựa trên NCL. Chương 4 cung cấp qui trình chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ bằng cách dùng các công cụ chuyển đổi. Tiếp theo, cải tiến qui trình thiết kế thư viện cell và đề xuất thiết kế các thư viện cell NCL tĩnh và bán tĩnh được thực hiện trong chương 5. Chương cuối cùng tổng kết về những nhiệm vụ đã đóng góp được trong luận án.

Đóng góp của luận án:

Luận án này đã có những đóng góp cho cộng đồng nghiên cứu về thiết kế vi mạch bất đồng bộ.

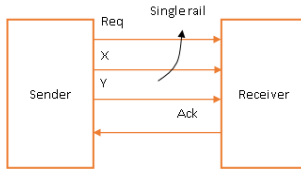
1. Hệ thống hóa các vấn đề liên quan thiết kế vi mạch bất đồng bộ với NCL.
2. Đề xuất cải tiến qui trình thiết kế thư viện cell NCL.
3. Các thư viện cell NCL tĩnh và bán tĩnh cho các nghiên cứu về vi mạch bất đồng bộ.

CHƯƠNG 2 TỔNG QUAN VỀ BẮT ĐỒNG BỘ VÀ NCL

2.1 Các mô hình mạch bất đồng bộ

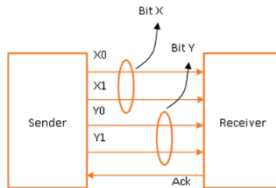
2.1.1 Mô hình mạch có delay bị giới hạn.

- Delay qua cổng và dây bị giới hạn.
- Mỗi cổng và dây sẽ được gán một giá trị giới hạn của các giá trị delay.
- Sơ đồ mã hóa dữ liệu đóng gói như Hình 2.1.



Hình 2. 1 Mã hóa dữ liệu được đóng gói

2.1.2 Mô hình mạch QDI (Quasi Delay Insensitive).



Hình 2. 2 Sơ đồ mã hóa dual-rail

- Delay cổng và dây tùy ý nhưng nó áp đặt một giá định về isochronic của nhánh.
- Các mạch QDI thông thường sử dụng sơ đồ mã hóa nhiều dây để truyền dữ liệu.
- Hình 2.2 minh họa cho sơ đồ mã hóa dual-rail.
- Dữ liệu chính nó tự nhận dạng nó hợp lệ hay không nên dây tín hiệu Req được bỏ qua.

2.2 Null Convention Logic

Null Convention Logic là mô hình bất đồng bộ không nhạy với delay (QDI) được phát triển dành cho thiết kế mạch bất đồng bộ, có nghĩa là mạch sẽ hoạt động một cách chính xác bất chấp delay của các phần tử trong mạch và dây dẫn.

2.2.1 Tiêu chuẩn hoàn thành

NCL sử dụng 2 tiêu chuẩn để đạt được hành vi không nhạy với delay, đó là tiêu chuẩn hoàn thành về mặt ký tự của biểu thức và hoàn thành của ngõ vào.

Phương thức mã hóa 1-bit nhị phân bằng cách sử dụng mô hình 2 dây hay dual-rail logic.

Bảng 2. 1 Tín hiệu dual-rail

Boolean logic	Dual – rail logic	Code	
		D1	D0
0	DATA0	0	1
1	DATA1	1	0
	NULL	0	0
	ILLEGAL	1	1

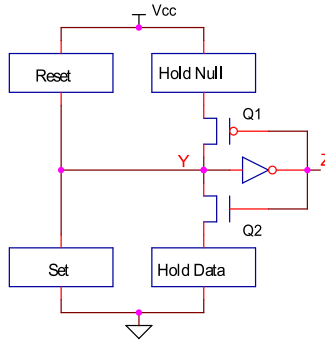
2.2.2 Cổng ngưỡng với hiện tượng trễ

Bảng 2. 2 Hai mươi bảy cổng ngưỡng cơ bản và hàm Boolean của chúng

STT	NCL gates	Boolean functions
1	Th ₁₂	$A + B$
2	Th ₂₂	AB
3	Th ₁₃	$A + B + C$
4	Th ₂₃	$AB + BC + CA$
5	Th ₃₃	ABC
6	Th _{23w2}	$A + BC$
7	Th _{33w2}	$AB + AC$
8	Th ₁₄	$A + B + C + D$
9	Th ₂₄	$AB + AC + AD + BC + BD + CD$
10	Th ₃₄	$ABC + ABD + ACD + BCD$
11	Th ₄₄	$ABCD$
12	Th _{24w2}	$A + BC + BD + CD$
13	Th _{34w2}	$AB + AC + AD + BCD$
14	Th _{44w2}	$ABC + ABD + ACD$
15	Th _{34w3}	$A + BCD$
16	Th _{44w3}	$AB + AC + AD$

17	Th _{24w22}	$A + B + CD$
18	Th _{34w22}	$AB + AC + AD + BC + BD$
19	Th _{44w22}	$AB + ACD + BCD$
20	Th _{54w22}	$ABC + ABD$
21	Th _{34w32}	$A + BC + BD$
22	Th _{54w32}	$AB + ACD$
23	Th _{44w322}	$AB + AC + AD + BC$
24	Th _{54w322}	$AB + AC + BCD$
25	Th _{xor0}	$AB + CD$
26	Th _{and0}	$AB + BC + AD$
27	Th _{24comp}	$AC + BC + AD + BD$

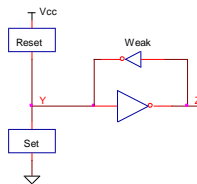
2.2.3 Cổng ngưỡng NCL tĩnh



Hình 2. 4 Cấu trúc tổng quát của cổng ngưỡng tĩnh

Mô hình cổng ngưỡng NCL tĩnh được thực hiện bằng công nghệ CMOS, tổng quát gồm 5 khối cơ bản: reset, set, hold Null, hold data và khối cổng đảo ở ngõ ra được trình bày trên Hình 2.4 [41].

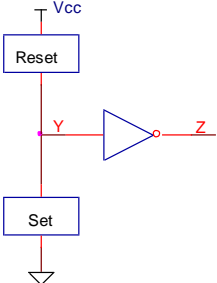
2.2.4 Cổng ngưỡng NCL bán tĩnh



Hình 2. 8 Cấu trúc tổng quát của cổng ngưỡng bán tĩnh

Cấu trúc tổng quát của cổng ngưỡng bán tĩnh Thmn [42], [43] được trình bày trong Hình 2.8. gồm 3 khối chính: khối reset, khối set và khối cổng đảo có hồi tiếp ở ngõ ra để duy trì thông tin trạng thái.

2.2.5 Cổng ngưỡng NCL động



Hình 2.10 Cấu trúc tổng quát của cổng ngưỡng động

CHƯƠNG 3 PHƯƠNG PHÁP THIẾT KẾ MẠCH BẤT ĐỒNG BỘ DỰA TRÊN NCL

Các kết quả nghiên cứu trong chương này được công bố ở công trình [1] và [2] của tác giả.

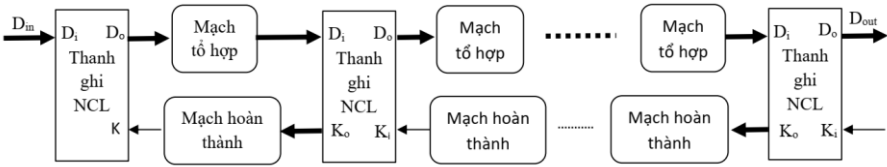
3.1 Phương pháp thiết kế mạch tổ hợp NCL

- Tiêu chí hoàn thành ngõ vào và khả năng quan sát của mạch tổ hợp NCL.
- Quy trình thiết kế mạch tổ hợp NCL

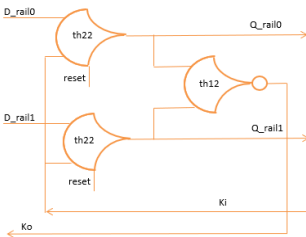
3.2 Phương pháp thiết kế mạch NCL tuần tự

- Thanh ghi đồng bộ được thay thế bằng thanh ghi NCL
- Xung clock được thay thế bằng mạch phát hiện hoàn thành.

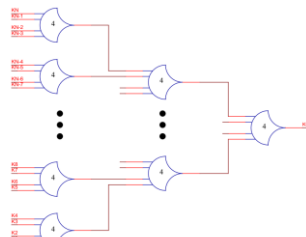
3.3 NCL pipeline



Hình 3. 12 Hệ thống NCL pipeline



Hình 3. 13 Thanh ghi NCL 1-bit



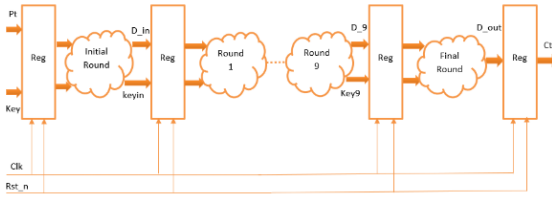
Hình 3. 14 Mạch phát hiện hoàn thành

3.4 Mô hình mã hóa AES

-Ưu điểm của NCL thích hợp cho các nghiên cứu về an toàn và bảo mật dữ liệu. Vì vậy, thuật toán AES được chọn làm ví dụ minh họa cho phương pháp.

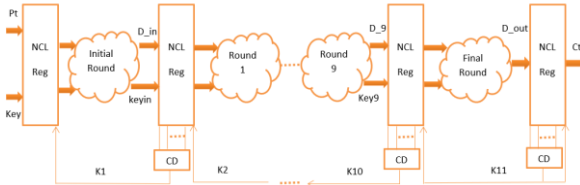
- Nhiều công trình nghiên cứu về AES nhưng hầu hết là bằng phương pháp đồng bộ, chỉ có công trình [17] là bất đồng bộ dựa trên NCL, nhưng các thiết kế mã hóa và giải mã AES trong [17] không sử dụng kỹ thuật pipeline. Vì vậy, các thiết kế mã hóa và giải mã trong luận án này được cải tiến bởi kỹ thuật pipeline để tiết kiệm thời gian hoạt động cho toàn hệ thống.

3.4.1 Mô hình mã hóa AES dùng phương pháp đồng bộ



Hình 3. 16 Mô hình tổng quát mã hóa AES đồng bộ

3.4.2 Mô hình mã hóa AES dùng phương pháp bất đồng bộ dựa trên NCL

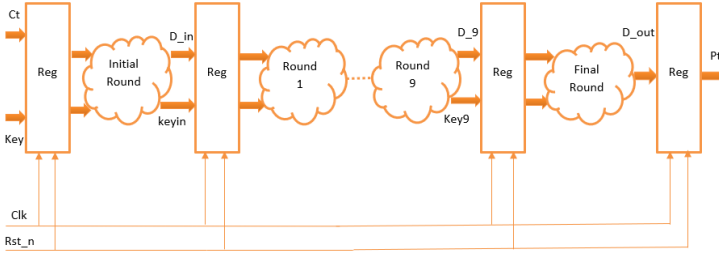


Hình 3. 17 Mô hình mã hóa AES bất đồng bộ dựa trên NCL

3.5 Mô hình giải mã AES

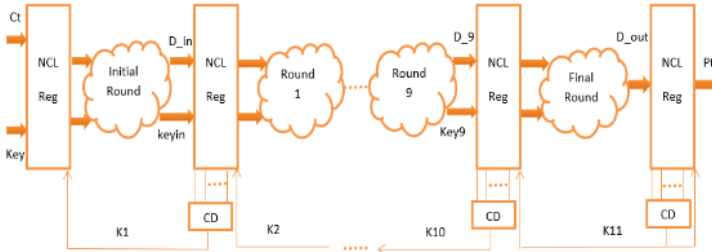
Tương tự với các thiết kế mã hóa AES trong phần 3.2, các thiết kế giải mã AES cũng được cải tiến bằng cách dùng kỹ thuật pipeline để tiết kiệm thời gian cho toàn bộ hệ thống.

3.5.1 Mô hình giải mã AES dùng phương pháp đồng bộ



Hình 3. 23 Mô hình tổng quát giải mã AES đồng bộ

3.5.2 Mô hình giải mã AES dùng phương pháp bất đồng bộ dựa trên NCL



Hình 3. 24 Mô hình tổng quát giải mã AES bất đồng bộ dựa trên NCL

3.6 Kết quả mô phỏng, thử nghiệm và thực hiện

3.6.1 Kịch bản thử nghiệm, mô phỏng

Trong lĩnh vực nghiên cứu về vi mạch, có hai cách chính để thử nghiệm và thực thi thiết kế của nghiên cứu.

Cách thứ nhất: Theo qui trình ASIC

Cách thứ hai: Thiết kế và thử nghiệm trên FPGA

3.6.1.1 Thử nghiệm theo qui trình ASIC

Thiết kế trong luận án này được thử nghiệm, thiết kế với qui trình ASIC, thư viện thiết kế TSMC công nghệ 65nm, và các công nghệ khác để so sánh, kiểm chứng kết quả của luận án (bao gồm công nghệ 45nm, 130nm, và 180nm), các công cụ VCS và DC của Synopsys, điện áp $V_{dd} = 1.32V$, ở tần số 100MHz.

Đo công suất, tốc độ, và diện tích bằng công cụ DC.

Riêng tốc độ cực đại đo bằng phương pháp thực nghiệm.

3.6.1.2 Thử nghiệm theo qui trình trên FPGA

Cách thử nghiệm thứ hai mà luận án thực hiện là thử nghiệm trên FPGA. Phần mềm Vivado 2020.2, kit ZCU102 của Xilinx (Hình 3.28), FPGA xczu9eg-ffvb1156-2-e được sử dụng để thử nghiệm các thiết kế trong luận án này, ở tần số xung clock là 100MHz.

Các thông số về công suất, diện tích và tốc độ của các thiết kế đồng bộ và bất đồng bộ đo ở cùng điều kiện, $V_{dd} = 3.3V$, tần số clock là 100MHz, thử nghiệm trên kit ZCU102, FPGA xczu9eg-ffvb1156-2-e.

3.6.2 Kết quả mô phỏng và thử nghiệm của thiết kế mã hóa AES

3.6.2.1 Kết quả mô phỏng, thử nghiệm trên ASIC

Bảng 3. 1 Plaintext và key để kiểm tra chức năng thiết kế mã hóa AES

Plaintext	128'h00112233445566778899aabbccddeeff
Key	128'h00001111222233334444555566667777
Cipher	128'h9c7373ae2c03c97f085291f55707e47b

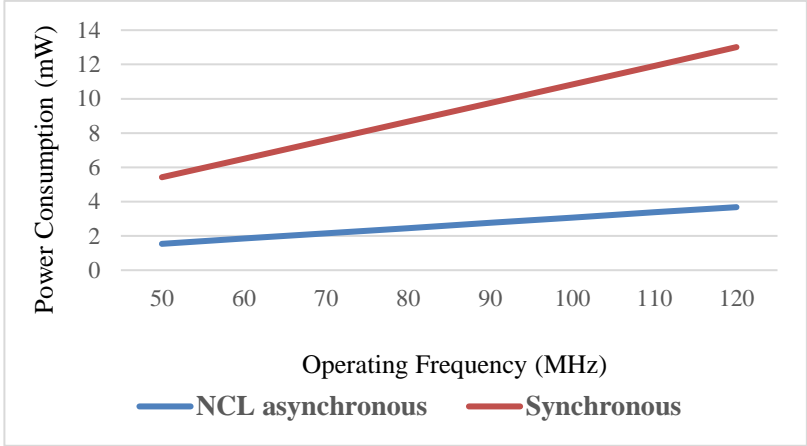
Kết quả mô phỏng, thử nghiệm trên ASIC của thiết kế mã hóa AES đồng bộ được trình bày trên các hình (từ Hình 3.29 đến Hình 3.32), trong Bảng 3.2 và Bảng 3.3.

Kết quả mô phỏng, thử nghiệm theo tiếp cận ASIC của thiết kế mã hóa AES bất đồng bộ được trình bày trên các hình (từ Hình 3.33, đến Hình 3.36), và Bảng 3.3.

Bảng 3. 3 So sánh giữa 2 mô hình mã hóa AES về diện tích, công suất và tốc độ

Thiết kế	Diện tích (μm^2)	Công suất (mW)	Tốc độ cực đại (MHz)
Thiết kế bất đồng bộ (NCL)	572167	3.0653	171
Thiết kế đồng bộ	253927	10.8394	1050
Tỉ lệ (Bất đồng bộ/đồng bộ)	2.2533	0.2828	0.1629

Từ Hình 3.36, quan sát thấy rằng tần số hoạt động càng cao thì công suất tiêu thụ của mạch đồng bộ càng lớn. Trong đó, công suất tiêu thụ của mạch đồng bộ gấp 3,5 lần so với công suất tiêu thụ của mạch bất đồng bộ ở tần số 100 MHz. Nguyên nhân chính là do khi tần số tăng lên, mạch đồng bộ sẽ chuyển mạch nhiều hơn, điều này làm cho công suất chuyển mạch tăng lên đáng kể.



Hình 3. 36 Đặc tuyến công suất tiêu thụ

Bảng 3. 4 So sánh công suất tiêu thụ của mô hình mã hóa bất đồng bộ dựa trên NCL so với phương pháp khác ở tần số 100MHz

Phương pháp thực hiện bộ mã hóa AES	Công suất (mW)	Tỉ lệ % giảm	Công nghệ
Phương pháp bất đồng bộ dựa trên NCL	3.0653		65nm
Phương pháp bất đồng bộ dựa trên NCL	2.51		45nm
Đồng bộ có Clock Gating [28]	3.7	32%	45nm
Đồng bộ không có Clock Gating [28]	15.7	84%	45nm
Phương pháp bất đồng bộ dựa trên NCL	3.185		130nm
Phương pháp đồng bộ [47]	3.387	7%	130nm

Kết quả so sánh cho thấy, ở công nghệ 45nm, công suất của bộ mã hóa AES bất đồng bộ dựa trên NCL giảm 32% so với bộ mã hóa AES đồng bộ có kỹ thuật clock gating và giảm 84% so với bộ giải mã AES đồng bộ không dùng kỹ thuật

clock gating. Ở công nghệ 130nm, bộ mã hóa AES bất đồng bộ dựa trên NCL đã cải thiện 7% công suất tiêu thụ so với bộ giải mã AES thông thường.

3.6.2.2 Kết quả thử nghiệm trên FPGA

Các kết quả thử nghiệm trên FPGA của thiết kế mã hóa AES đồng bộ được trình bày trong các Bảng 3.5, Bảng 3.6 và Bảng 3.9.

Bảng 3. 6 Kết quả tổng hợp về công suất trên FPGA của thiết kế mã hóa AES đồng bộ

	Công suất (W)	Tỉ lệ (%)
Công suất động	1.614	72
Công suất tĩnh	0.629	28
Công suất tổng	2.244	100

Các kết quả thử nghiệm trên FPGA của thiết kế mã hóa AES bất đồng bộ được trình bày trong các Bảng 3.7, Bảng 3.8, và Bảng 3.9.

Bảng 3. 8 Kết quả về công suất trên FPGA của thiết kế mã hóa AES bất đồng bộ

	Công suất (W)	Tỉ lệ (%)
Công suất động	0.932	60
Công suất tĩnh	0.625	40
Công suất tổng	1.558	100

Công suất động trong thiết kế đồng bộ chiếm 70% tổng công suất, trong khi đó tỉ lệ này chỉ chiếm 60% trong thiết kế bất đồng bộ. Nguyên nhân chính là do chuyển mạch trong thiết kế đồng bộ xảy ra nhiều hơn trong thiết kế đồng bộ.

Bảng 3. 9 So sánh giữa 2 mô hình mã hóa AES bằng phương pháp đồng bộ và bất đồng bộ dựa trên NCL thực hiện trên FPGA

	Diện tích (LUT)	Công suất (W)	Delay
Mã hóa AES bất đồng bộ	62540	1.558	98.531
Mã hóa AES đồng bộ	9627	2.244	1.3000
Tỉ số bất đồng bộ/ đồng bộ	6.4963	0.6943	75.793

3.6.3 Kết quả mô phỏng và thử nghiệm của mô thiết kế giải mã AES

3.6.3.1 Kết quả mô phỏng và thử nghiệm trên ASIC

Kết quả mô phỏng kiểm tra chức năng cho hai thiết kế giải mã đồng bộ và bất đồng bộ trong Bảng 3.10.

Bảng 3. 10 Hai trường hợp của key và ciphertext để kiểm tra chức năng của bộ giải mã AES

	Case 1	Case 2
Cipher-text	128'h69c4_e0d8_6a7b_0430_d8cd_b780_70b4_c55a	128'h3514_3da5_c83d_bba6_8a49_cc93_4de9_3417
Key	128'h0001_0203_0405_0607_0809_0a0b_0c0d_0e0f	128'h524b_9651_adeb_2154_010f_cbb5_4633_0477
Plain-text	128'h0011_2233_4455_6677_8899_aabb_ccdd_eeff	128'h524b_9651_adeb_2154_010f_cbb5_4633_0478

Các thư viện sử dụng để thử nghiệm trên ASIC cho hai mô hình giải mã AES đồng bộ và bất đồng bộ ở các điều kiện nhiệt độ -40°C, 0°C, 125°C, kết quả thử nghiệm trong Bảng 3.11.

Bảng 3.11 So sánh kết quả tổng hợp trên ASIC giữa mô hình giải mã AES đồng bộ và bất đồng bộ dựa trên NCL

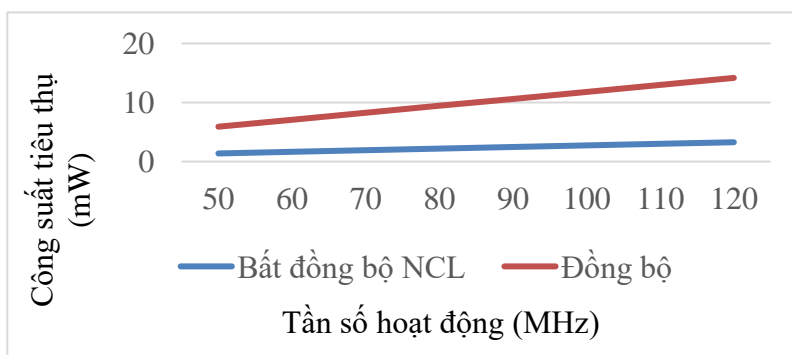
Giải mã AES		65ff_m40c	65ff_0c	65ff_125c
Diện tích (μm^2)	Asyn	872251	872489	871714
	Syn	265810	265772	265794
	Asyn/syn	3.2815	3.2828	3.2797
Công suất (mW)	Asyn	2.7086	2.7307	3.4065
	Syn	11.7256	11.8045	12.4047
	Asyn/syn	0.231	0.231	0.2746
	Asyn	149	142	131

Tốc độ cực đại (MHz)	Syn	930	900	830
	Asyn/syn	0.1602	0.1577	0.1578

Bảng 3.11 cho thấy tổng diện tích của thiết kế bất đồng bộ dựa trên NCL lớn gấp 3 lần tổng diện tích của thiết kế đồng bộ. Đây là nhược điểm lớn nhất của phương pháp thiết kế mạch dựa trên NCL.

Công suất tiêu thụ của thiết kế bất đồng bộ dựa trên NCL nhỏ hơn (khoảng $\frac{1}{4}$ lần) công suất tiêu thụ của thiết kế đồng bộ. Như vậy, công suất tiêu thụ của mạch bất đồng bộ dựa trên NCL giảm đáng kể so với mạch đồng bộ.

Delay lớn trong các thiết kế bất đồng bộ dựa trên NCL làm giảm đi tần số hoạt động của thiết kế khi so sánh với các thiết kế đồng bộ.



Hình 3.40 Ảnh hưởng của tần số đến công suất tiêu thụ

Hình 3.40 cho thấy, khi tần số tăng thì công suất của thiết kế đồng bộ tăng nhanh hơn so với thiết kế bất đồng bộ. Điều này hoàn toàn hợp lý với lý thuyết.

Bảng 3.12 So sánh công suất của mô hình giải mã AES bất đồng bộ với các phương pháp khác

Thiết kế	Công suất (mW)	Công nghệ
Bộ giải mã bất đồng bộ NCL	2.7307	65nm
Bộ giải mã bất đồng bộ NCL	3.7	180nm
Bộ giải mã đồng bộ trong [55]	4.0	180nm

3.6.3.2 Kết quả thử nghiệm trên FPGA

Các kết quả thử nghiệm trên FPGA của thiết kế giải mã AES đồng bộ được trình bày trong các Bảng 3.13, Bảng 3.14 và Bảng 3.17.

Bảng 3.14 Kết quả tổng hợp về công suất trên FPGA của thiết kế giải mã AES đồng bộ

	Công suất(W)	Tỉ lệ (%)
Công suất động	0.661	51
Công suất tĩnh	0.624	49
Công suất tổng	1.285	100

Các kết quả tổng hợp về công suất và diện tích của thiết kế giải mã AES bất đồng bộ được trình bày trong các Bảng 3.15, Bảng 3.16 và Bảng 3.17.

Bảng 3.16 Kết quả tổng hợp về công suất trên FPGA của thiết kế giải mã AES bất đồng bộ

	Công suất (W)	Tỉ lệ (%)
Công suất động	0.151	20
Công suất tĩnh	0.621	80
Công suất tổng	0.772	100

Nhìn vào Bảng 3.14 và 3.16, công suất động của thiết kế đồng bộ chiếm tỉ lệ cao (51% công suất tổng), trong khi ở thiết kế bất đồng bộ thì tỉ lệ này nhỏ (20%).

Kết quả này cũng trùng khớp với các kết quả nghiên cứu trước.

Bảng 3.17 So sánh giữa thiết kế giải mã AES bằng phương pháp đồng bộ và bất đồng bộ dựa trên NCL thực hiện trên FPGA

	Diện tích (LUT)	Công suất (W)	Delay
Giải mã AES bất đồng bộ	113085	0.772	56.986
Giải mã AES đồng bộ	10920	1.285	1.405
Tỉ số bất đồng bộ/đồng bộ	10.3558	0.6008	40.559

Các số liệu trên Bảng 3.9 và Bảng 3.17 cho thấy kết quả tổng hợp trên FPGA cho công suất của các thiết kế mã hóa và giải mã AES bất đồng bộ dựa trên NCL thấp hơn (khoảng 60%) công suất của thiết kế đồng bộ. Tuy nhiên, diện tích và delay lại là nhược điểm lớn của phương pháp bất đồng bộ dựa trên NCL. Nguyên nhân chính vẫn là mạch logic tổ hợp lớn và cồng kềnh tạo nên mạch hoàn thành nằm

trên đường hồi tiếp. Nguyên nhân này có thể cải thiện được bằng nhiều phương pháp như thay đổi cấu trúc của mạch phát hiện hoàn thành, hoặc thay đổi cấu trúc cell chuẩn bằng một cấu trúc mới có số lượng transistor ít hơn.

Phương pháp thiết kế mạch bất đồng bộ dựa trên NCL có thể mạnh về công suất tiêu thụ so với phương pháp đồng bộ. Phương pháp này được thử nghiệm cho vi mạch mã hóa và giải mã AES. Kết quả tổng hợp các vi mạch trên theo qui trình ASIC và trên FPGA đã cho thấy công suất của vi mạch bất đồng bộ dựa trên NCL được cải thiện khoảng 71% so vi mạch đồng bộ, nguyên nhân chính là do hoạt động chuyển mạch trong vi mạch bất đồng bộ xảy ra ít hơn so với vi mạch đồng bộ. Ngược lại, kết quả tổng hợp đã cho thấy điểm yếu của phương pháp bất đồng bộ dựa trên NCL là diện tích và tốc độ của vi mạch. Trong luận án này, tác giả không dùng bất kỳ phương pháp nào để cải thiện các điểm yếu của phương pháp. Nghiên cứu phương pháp bất đồng bộ dựa trên NCL với mục đích chính là kiểm chứng điểm mạnh, điểm yếu của phương pháp và tìm ra những khó khăn khác cần khắc phục. Nguyên nhân chính tạo ra các điểm yếu được đề cập ở trên là do mạch phát hiện hoàn thành lớn, công kênh nằm trên đường hồi tiếp của hệ thống NCL pipeline làm cho diện tích của vi mạch lớn và tốc độ của vi mạch nhỏ. Các nhược điểm về diện tích và tốc độ của vi mạch bất đồng bộ dựa trên NCL có thể được tiếp tục nghiên cứu cải tiến để cho phương pháp bất đồng bộ dựa trên NCL sớm trở thành phương pháp thiết kế phù hợp với xu thế mới.

CHƯƠNG 4 QUI TRÌNH CHUYỂN ĐỔI THIẾT KẾ ĐỒNG BỘ SANG THIẾT KẾ BẤT ĐỒNG BỘ DỰA TRÊN NCL BẰNG UNCLE

Các kết quả nghiên cứu trong chương này được công bố ở công trình số [3] của tác giả.

4.1 Qui trình chuyển đổi thiết kế đồng bộ sang bất đồng bộ NCL

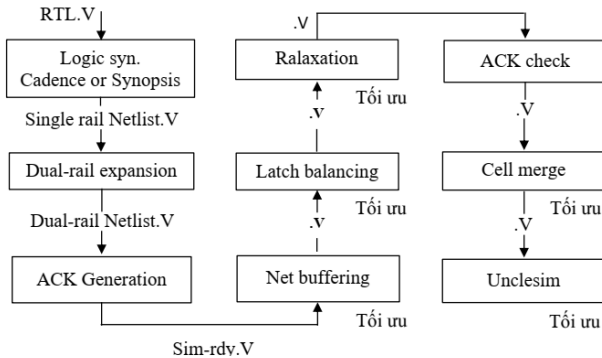
4.1.1 Tổng quan về qui trình chuyển đổi

UNCLE dùng để chuyển đổi thiết kế đồng bộ sang thiết kế bất đồng bộ.

UNCLE có nhiều tính năng tối ưu hơn so với Balsa (Bảng 4.1).

UNCLE thường được chọn để chuyển đổi từ đồng bộ sang bất đồng bộ.

4.1.2 Qui trình chuyển đổi thiết kế đồng bộ sang thiết kế bất đồng bộ dựa trên NCL bằng UNCLE



Hình 4.1 Qui trình chuyển đổi thiết kế đồng bộ sang bất đồng bộ

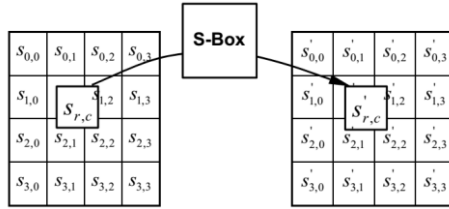
Logic tổ hợp dual-rail trong NCL, tạo mạng ACK, net buffering, latch balancing, relaxation, cellmerging và unclesim được trình bày lần lượt trong mục 4.13, 4.14, 4.1.5, 4.1.6, 4.1.7, 4.1.8

4.2 Thử nghiệm công cụ UNCLE trên Khối S-box trong thuật toán AES

4.2.1 Tổng quan về mã hóa AES

Sơ đồ khối được trình bày trong mục 3.4

4.2.2 *Phép biến đổi Subbyte*

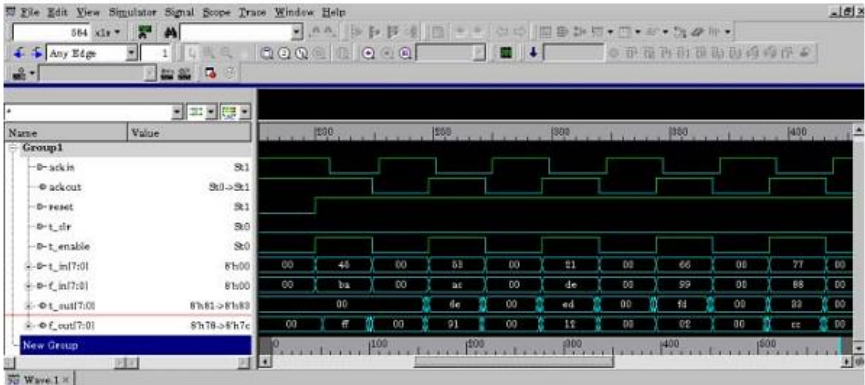


Hình 4.2 Biến đổi Subbyte

4.2.3 *Kết quả mô phỏng và thử nghiệm*

Thử nghiệm UNCLE cho khối S-box

Kết quả thử nghiệm cho khối S-box trên Hình 4.4 và Hình 4.5.



Hình 4.4 Kết quả mô phỏng khối S-box

```
Unclesim[0.2.6] Finish time: 393707,
Number of data output cycles: 100,
Average output cycle time: 3937,
Transitions per cycle: 2432,
Switched capacitance per cycle: 5.765167e-12,
flatten :      : step_0 : logic_modules : 2293 :
dff/lat_modules : 24 : ackgate_modules : 11 :
total_modules : 2328 : size(logic+dff/lat): 27825.000000 :
ack_size : 148.000000 : total_area : 27973.000000
```

Hình 4.5 Kết quả tổng hợp khối S-box bằng Unclesim

Qui trình UNCLE chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ dựa trên NCL được nghiên cứu và kiểm chứng trên khối S-box. Ngoài chức năng chuyển netlist RTL verilog sang netlist dual-rail NCL của qui trình để sử dụng tổng hợp thiết kế, netlist dual-rail NCL còn được tối ưu về hiệu suất, tối ưu về diện tích qua nhiều chức năng trong qui trình và được mô phỏng kiểm tra chức năng thiết kế qua bộ mô phỏng Unclesim. Ngoài mô phỏng kiểm tra chức năng thiết kế, bộ mô phỏng Unclesim còn được dùng để tổng hợp được một số thông số của thiết kế. Qui trình chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ đã cung cấp thêm cho những nhà nghiên cứu một công cụ hỗ trợ thiết kế các vi mạch bất đồng bộ và lựa chọn sử dụng nó trong hoàn cảnh thích hợp.

CHƯƠNG 5 CẢI TIẾN QUI TRÌNH VÀ ĐỀ XUẤT THIẾT KẾ THƯ VIỆN CELL NCL CHO CÁC THIẾT KẾ BẤT ĐỒNG BỘ

Các kết quả nghiên cứu trong chương này được công bố ở công trình [4] và [5] của tác giả.

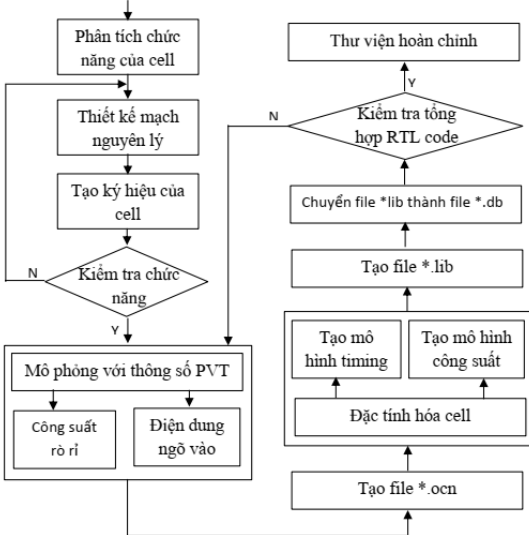
5.1 Giới thiệu

Trong những năm gần đây, NCL đã được cộng đồng nghiên cứu rất quan tâm, đặc biệt trong các thiết kế bất đồng bộ. Tuy nhiên, các nhà nghiên cứu gặp phải rất nhiều những khó khăn trong quá trình nghiên cứu. Khó khăn đặc biệt nhất là thiếu thư viện hỗ trợ cho tổng hợp thiết kế. Phần lớn các nhà nghiên cứu sử dụng các thư viện đồng bộ để tổng hợp các thiết kế bất đồng bộ. Vì vậy, các kết quả tổng hợp về thiết kế bất đồng bộ sẽ không đạt được mức tối ưu nhất. Đây là một trong những yếu tố bất lợi trong việc công bố các kết quả nghiên cứu cho những người nghiên cứu trong lĩnh vực này. Trong công trình [33] và [34], Carlos và Matheus đã đề xuất qui trình thiết kế thư viện cell NCL sử dụng qui trình công nghệ 45nm. Tuy nhiên, trong qui trình của họ, phần lớn là thực hiện bằng phương pháp thiết kế tự động. Các công cụ sử dụng cho thiết kế thư viện cell NCL trong [33] chủ yếu là các công cụ của chính tác giả. Do đó, phương pháp thiết kế thư viện NCL cell trong [33] rất khó có thể lặp lại thành công bởi đọc giả. Vì vậy, trong luận án này, tác giả đề xuất cải tiến qui trình thiết kế thư viện cell và đề xuất thiết kế các thư viện cell NCL chỉ sử dụng các công cụ thương mại cho các thiết kế bất đồng bộ. Đồng thời, 2 bộ thư viện tĩnh và bán tĩnh cho NCL được hoàn thành có thể phục vụ cho nghiên cứu và giảng dạy tại các trường đại học.

5.2 Đề xuất cải tiến qui trình thiết kế thư viện cell NCL cho thiết kế bất đồng bộ

Qui trình này được mô tả trong Hình 5.1 bao gồm các bước, từ thiết kế sơ đồ nguyên lý đến kiểm tra tổng hợp RTL. Trong đó, bước đặc tính hóa cell được cải tiến nhờ vào ngôn ngữ Ocean scripts để thực hiện theo phương pháp tự động.

2 bộ thư viện cell NCL bán tĩnh, và tĩnh được thực hiện theo qui trình, vì các thư viện cell NCL này là một trong những thư viện cơ bản cho nghiên cứu về vi mạch bất đồng bộ NCL. Mỗi bộ thư viện gồm 27 cell.



Hình 5.1 Qui trình thiết kế thư viện cell NCL

5.3 Đề xuất thiết kế thư viện NCL bán tĩnh

Tác giả sẽ trình bày minh họa cho quá trình thiết kế thông qua thiết kế cho cell Th23, các cell còn lại trong thư viện sẽ được thực hiện theo qui trình tương tự.

5.3.1 Thiết kế mạch nguyên lý

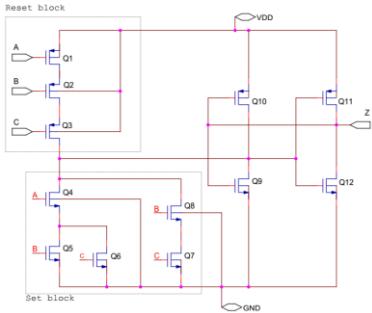
- Phân tích chức năng cell Th23: cell này có 3 ngõ vào, ngưỡng là 2 có nghĩa là khi có ít nhất 2 trong số 3 ngõ vào lên mức 1 thì ngõ ra sẽ lên mức 1, ngõ ra sẽ giữ nguyên trạng thái mức 1 cho đến khi nào cả 3 ngõ vào ở mức 0 thì ngõ ra chuyển trạng thái về mức 0.

- Thiết kế khối Reset: khối Reset ở dạng chuẩn của nó, cấu trúc tổng quát gồm 3 transistor PMOS mắc nối tiếp.

- Thiết kế khối set: từ biểu thức logic mô tả khối set (5.1), (5.2), khối set sẽ được tạo nên từ mạng các transistor NMOS. Trong đó $A(B+C)$ được tạo nên từ một NMOS cho ngõ vào A nối tiếp với 2 NMOS mắc song song cho ngõ vào B và C, thành phần BC được tạo nên từ 2 NMOS mắc nối tiếp. Mạch thiết kế hoàn chỉnh trên Hình 5.5.

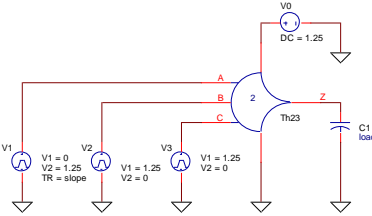
$$F_{SET} = AB + AC + BC \tag{5.1}$$

$$F_{SET}(A, B, C) = A(B + C) + BC \tag{5.2}$$



Hình 5.5 Sơ đồ mạch nguyên lý của Th23

5.3.2 Mô phỏng kiểm tra chức năng



Hình 5.6 Mạch kiểm tra chức năng của Th23

Mô phỏng kiểm tra chức năng cell qua 3 trường hợp sau:

- Trường hợp 1: A, B được cấp V_{pulse} , C nối GND
- Trường hợp 2: A, C được cấp V_{pulse} , B nối GND
- Trường hợp 3: B, C được cấp V_{pulse} , A nối GND

Kết quả kiểm tra chức năng của cell được trình bày trên Hình 5.7, 5.8 và 5.9.

5.3.3 Đặc tính hóa cell cho thư viện bán tĩnh

- Tìm điện dung tải C_{Load} , và phạm vi thay đổi của điện dung tải.
- Tìm các giá trị thời gian cạnh lên và thời gian cạnh xuống của xung điện áp ngõ vào và phạm vi thay đổi của nó.
- Tạo file *.ocn.
- Chạy đặc tính hóa cell 49 trường hợp cho mỗi cell để đo các thông số của mô hình thời gian và công suất.
- Tập giá trị C_{Load} và thời gian cạnh lên và xuống của xung trong Bảng 5.1.

Bảng 5. 1 Các giá trị C_{load} và thời gian cạnh lên hoặc xuống

C_{Load} (fF)	1.4	2.54	4.61	8.37	15.2	27.6	50.0
Thời gian cạnh lên hoặc xuống (ns)	0.01	0.0192	0.0368	0.0707	0.136	0.261	0.5

Kết quả đặc tính hóa cell Th23 trên các hình từ Hình 5.10 đến 5.12 và các bảng từ Bảng 5.2 đến Bảng 5.10.

5.3.4 Kết quả tổng hợp RTL code

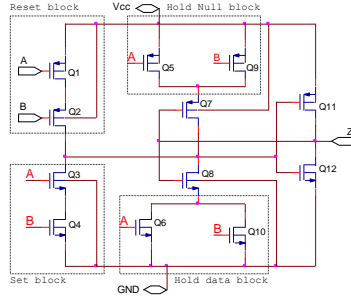
Trong phần này, bộ cộng toàn phần được sử dụng như là một ví dụ để kiểm tra hoạt động của thư viện. Bộ cộng này bao gồm 2 cổng Th23 và hai cổng Th34w2, nó được thử nghiệm bằng cách sử dụng công cụ Design Compiler và thư viện được tạo bởi qui trình được đề xuất. Các tham số điển hình của thư viện như nhiệt độ là 25 °C, điện áp hoạt động của các cell là 1.25V và process là ff.

Kết quả thử nghiệm thư viện được trình bày trên các Hình 5.13 đến Hình 5.16.

5.4 Đề xuất thiết kế thư viện NCL tĩnh

Qui trình thực hiện giống như qui trình thực hiện thiết kế cho cell bán tĩnh Th23, bao gồm các bước sau.

5.4.1 Thiết kế mạch nguyên lý



Hình 5.17 Mạch nguyên lý của Th22

5.4.2 Mô phỏng kiểm tra chức năng

Hình 5. 18 Mạch kiểm tra chức năng của Th22

Kiểm tra cho ba trường hợp tương ứng với các kết hợp ngõ vào như sau:

- Trường hợp 1: A được cấp V_{pulse} , B kết nối V_{CC}
- Trường hợp 2: B được cấp V_{pulse} , A kết nối V_{CC}
- Trường hợp 3: A và B được cấp V_{pulse}

Kết quả dạng sóng trên các hình (từ Hình 5.19 đến Hình 5.21)

5.4.3 Đặc tính hóa cell cho thư viện tĩnh

Kết quả dạng sóng đặc tính hóa cho cell Th22 trên các hình (từ Hình 5.22 và Hình 5.23).

Các kết quả cho các mô hình thời gian và công suất trên các bảng (từ Bảng 5.11 đến Bảng 5.16).

Các mô phỏng Monte Carlo theo các biến thể không phù hợp của cell rise, cell fall, rise transition, fall transition, rise power and fall power được trình bày trong các hình (từ Hình 5.24 đến Hình 5.29).

5.4.4 Kết quả thử nghiệm của RTL code

Trong phần này, mô hình bộ cộng đầy đủ [61] được sử dụng làm ví dụ để thử nghiệm thư viện đã tạo dựa trên qui trình được đề xuất. Mô hình này bao gồm hai cổng Th23 và hai cổng Th34w2.

Kết quả thử nghiệm RTL code trên các hình từ Hình 5.30 đến 5.33.

5.5 So sánh qui trình thiết kế thư viện cell NCL được đề xuất với qui trình của tác giả khác

So sánh qui trình thiết kế thư viện cell trong luận án với qui trình trong [33].

- Qui trình trong [33] sử dụng nhiều công cụ của chính tác giả, nhiều script, đọc giả khó lặp lại thành công.
- Qui trình trong luận án sử dụng các công cụ thương mại, chỉ dùng một script, đọc giả dễ dàng lặp lại để bổ sung hoặc thiết kế thư viện cell mới.

Sử dụng các thư viện đã tạo để tổng hợp cho bộ full adder và so sánh với kết quả trong [38], kết quả trên Bảng 5.17.

Sử dụng các thư viện trong luận án và thư viện trong [33] để tổng hợp trên cùng một thiết kế và so sánh, các kết quả trên Bảng 5.18.

Bảng 5.17 Kết quả so sánh của bộ cộng toàn phần 1-bit

Thiết kế (thư viện tổng hợp)	Diện tích (transistor)	Công suất (μ W)	Delay (ns)	Công nghệ
Bộ cộng NCL 1-bit (thư viện tĩnh)	92	6.17	0.13	45nm
Bộ cộng NCL 1-bit (thư viện bán tĩnh)	54	3.24	0.12	45nm
Bộ cộng NCL 1-bit (thư viện tĩnh)	92	7.2	0.17	65nm
P-FA-L0 [38]	74	3.57	137.44	65nm
P-FA-L1 [38]	66	3.77	137.9	65nm
P-FA-L2 [38]	60	7.93	138.66	65nm

Bảng 5.18 Kết quả so sánh của bộ cộng toàn phần 4-bit

Thiết kế	Diện tích (transistor)	Công suất (mW)	Delay (ns)
Tổng hợp bằng thư viện tĩnh	1392	0.1245	1.13
Tổng hợp bằng thư viện bán tĩnh	1027	0.095	1.04
Tổng hợp sử dụng thư viện trong [33]	1392	0.1571	0.59

Quy trình thiết kế thư viện cell NCL trong luận án này chỉ sử dụng các công cụ thương mại, phổ biến, các bước trong quy trình được mô tả rõ ràng làm cho các nhà nghiên cứu dễ dàng tiếp cận khi tái hiện lại quy trình. Quy trình đã thực hiện tự động hóa giai đoạn mất nhiều thời gian nhất, điều này giúp cho các nhà nghiên cứu tiết kiệm được nhiều thời gian. Nhờ vào quy trình trên, hai bộ thư viện NCL tĩnh và bán tĩnh được triển khai hoàn thành. Trong luận án này, công suất của thiết kế có thể cải thiện được 21% khi tổng hợp trên bộ thư viện tĩnh và 39% đối với thư viện bán tĩnh. Các bộ thư viện này có thể được sử dụng để nghiên cứu và học tập tại các trường đại học.

CHƯƠNG 6 KẾT LUẬN

Mặc dù xu hướng chuyển từ thiết kế đồng bộ sang thiết kế bất đồng bộ ngày càng tăng, nhưng nghiên cứu phương pháp bất đồng bộ cho thiết kế vi mạch vẫn còn hạn chế. Từ khi NCL ra đời, nó đã cung cấp cho các nhà nghiên cứu một logic mới trong lĩnh vực thiết kế vi mạch bất đồng bộ. Trong luận án này, tác giả đã hoàn thành được các mục tiêu nghiên cứu.

Nghiên cứu phương pháp thiết kế mạch bất đồng bộ dựa trên NCL đã cho thấy ưu điểm về công suất cho các vi mạch. Phương pháp này đã được chứng minh một cách thuyết phục thông qua các kết quả tổng hợp và các kết quả so sánh được thực hiện trên FPGA và theo tiếp cận ASIC. Ngoài việc thực hiện thiết kế minh họa bằng phương pháp bất đồng bộ dựa trên NCL, trong luận án này còn thực hiện thiết kế minh họa bằng phương pháp đồng bộ để làm cơ sở so sánh giữa hai phương pháp. Mặc dù các thiết kế bất đồng bộ dựa NCL được tổng hợp trên thư viện TSMC 65nm dành riêng cho thiết kế đồng bộ nhưng nó vẫn cho công suất tối ưu hơn so với các thiết kế đồng bộ được thực hiện trong luận án này và kết quả nghiên cứu của các tác giả khác. Trong công trình nghiên cứu này đã cho thấy, khi thay thế phương pháp thiết kế mạch bất đồng bộ dựa trên NCL cho phương pháp thiết kế mạch đồng bộ thì công suất của vi mạch có thể cải thiện được khoảng 71%. Trong thiết kế vi mạch, nếu tiêu chí công suất của các vi mạch được lựa chọn có tính ưu tiên cao thì phương pháp thiết kế mạch bất đồng bộ dựa trên NCL sẽ là phương pháp thiết kế thích hợp nhất.

Các mạch NCL không sử dụng xung clock vì thế nó hạn chế được các vấn đề về xung clock như clock skew, glitch, nhiễu. Ngoài các ưu điểm trên thì ưu điểm về công suất của các mạch NCL là ưu điểm nổi bật nhất. Tuy nhiên, các mạch NCL cũng có những nhược điểm mà làm cho nó đi vào thực tế rất hạn chế đó là nhược điểm về diện tích và tốc độ vi mạch. Việc khắc phục được các nhược điểm này sẽ làm cho NCL dễ dàng đi vào thực tế. Nguyên nhân chính gây ra hai nhược điểm trên chính là do mạch tổ hợp lớn và công kênh tạo nên mạch phát hiện hoàn thành nằm trên đường hồi tiếp. Các nhược điểm này tác giả sẽ tiếp tục nghiên

cứu giải pháp cải tiến để cho NCL có thể trở thành một trong các lựa chọn để thiết kế vi mạch thích hợp với xu hướng mới trong tương lai.

Nghiên cứu qui trình chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ, tác giả đã lựa chọn được qui trình chuyển đổi. Trong đó, qui trình chuyển đổi thiết kế đồng bộ sang thiết kế bất đồng bộ bằng cách sử dụng công cụ UNCLE đã được lựa chọn. Qui trình này bổ sung thêm cho các nhà thiết kế một kỹ thuật để tổng hợp các thiết kế bất đồng bộ từ các thiết kế đồng bộ tương ứng một cách dễ dàng và thuận lợi. Ngoài ra, qui trình chuyển đổi này còn giúp các nhà nghiên cứu thấy được sức mạnh của các công cụ trong thiết kế vi mạch và lựa chọn sử dụng nó trong tình huống phù hợp.

Việc thiếu thư viện chuyên dụng để phục vụ cho việc nghiên cứu các thiết kế là một khó khăn và trở ngại lớn cho các nhà nghiên cứu, đặc biệt là các sinh viên ở các trường đại học. Do đó, trong luận án này, qui trình thiết kế thư viện cell được cải tiến nhờ vào ocean script. Ngôn ngữ này được sử dụng để hỗ trợ quá trình đặc tính hóa cell theo cách tự động, và giúp cho các nhà nghiên cứu tiết kiệm được nhiều thời gian và công sức. Ngoài ra, qui trình thiết kế thư viện cell trong luận án này chỉ sử dụng các công cụ thương mại, điều này giúp cho các nhà nghiên cứu tạo thư viện cell và cập nhật các cell mới một cách dễ dàng.

Nhờ vào qui trình thiết kế thư viện cell NCL được đề cập ở trên, hai bộ thư viện cell NCL tĩnh và bán tĩnh cũng được thiết kế và kiểm chứng thành công. Kết quả tổng hợp các thiết kế về công suất, diện tích, cycle time bằng cách sử dụng các thư viện này cũng được so sánh với kết quả được tổng hợp từ các nghiên cứu của các tác giả khác. Về công suất của thiết kế có khả năng cải thiện được khoảng 21% khi sử dụng thư viện tĩnh và 39% khi sử dụng thư viện bán tĩnh. Các thư viện này có thể được sử dụng phục vụ cho việc học tập, giảng dạy và nghiên cứu tại các trường đại học. Vì các bộ thư viện cell tĩnh và bán tĩnh sử dụng các cấu trúc cell cơ bản nên diện tích, và tốc độ của các vi mạch tổng hợp bằng các thư viện này lớn. Nhược điểm này có thể được cải thiện bằng cách thay thế cấu trúc các cell cơ bản bằng các cấu trúc khác nhỏ gọn với số transistor ít hơn.

DANH MỤC CÔNG TRÌNH ĐÃ CÔNG BỐ

Tạp chí quốc tế

Các công trình liên quan trực tiếp đến luận án

- [1] T. L. Thanh, L. T. Tri, and H. Trang, “Power consumption improvements in AES decryption based on null convention logic,” *International Journal of Circuits, Systems and Signal Processing*, vol. 15, pp. 254–264, 2021, doi: 10.46300/9106.2021.15.29.
- [2] T. L. Thanh, L. T. Tri, and T. Hoang, “Low power circuit design using NCL based asynchronous method,” *Indonesian Journal of Electrical Engineering and Computer Science*, vol. 22, no. 3, pp. 1284 –1294, 2021, doi: 10.11591/ijeecs.v22.i3.pp1284-1294.
- [4] L. T. Tri, T. L. Thanh and T. Hoang, “A solution to design semi-static Null Convention Logic Libraries”, *International Journal Of Circuits, Systems And Signal Processing*, Vol. 15, pp. 1666 -1675, 2021. DOI: 10.46300/9106.2021.15.180.
- [5] T. L. Thanh, L. T. Tri, T. Hoang, “A methodology to design static NCL cell libraries”, *Journal of Low power electronics and Applications*, vol. 12, pp. 1 – 19, June 2022. <https://doi.org/10.3390/jlpea12020031>.

Các công trình bổ trợ

- [6] T. D. Cong, T. L. Thanh, H. M. Tri, P. T. T. Bao, T. Hoang, “Applications of TCAD Simulation Software for Fabrication and study of Process Variation Effects on Threshold Voltage in 180nm Floating-Gate Device”, *Advances in Science, Technology and Engineering Systems Journal*, Vol. 6, pp. 146 – 152, 2021.
- [7] T. D. Cong, T. L. Thanh, P. T. T. Bao, T. Hoang, “A Novel Approach to Design a Process Design Kit Digital for CMOS 180nm Technology”,

Advances in Science, Technology and Engineering Systems Journal, Vol. 6, pp. 1191 – 1198, 2021.

Kỹ yếu hội nghị quốc tế

- [3] T. L. Thanh, L. T. Tri and T. Hoang, "The flow of converting from Synchronous design to Asynchronous Null Convention Logic design. Case study of S-box in AES encryption in secure router," *2020 International Conference on Advanced Computing and Applications (ACOMP)*, 2020, pp. 109-113, doi: 10.1109/ACOMP50827.2020.00023.

DANH MỤC ĐỀ TÀI KHOA HỌC CÔNG NGHỆ CÓ SỬ DỤNG KẾT QUẢ NGHIÊN CỨU TỪ LUẬN ÁN

Đề tài khoa học công nghệ trọng điểm cấp Quốc gia: "Nghiên cứu thiết kế, chế tạo thử nghiệm thiết bị định tuyến tích hợp đa dịch vụ có tính năng bảo đảm an toàn, bảo mật thông tin" mã số : KC.01.24/16-20.