THÔNG TIN LUẬN ÁN

Tên luận án : **Nghiên cứu Null Convention Logic trong thiết kế vi mạch bất đồng bộ**
Chuyên ngành : Kỹ thuật điện tử
Mã số chuyên ngành: 9520203
Nghiên cứu sinh : Lê Thành Tới
Tập thể hướng dẫn : PGS.TS. Hoàng Trang
Cơ sở đào tạo : Trường ĐH Bách Khoa, ĐH Quốc gia TP. HCM

TÓM TẮT LUẬN ÁN

Trong nhiều thập kỷ qua, thiết kế đồng bộ đóng vai trò quan trọng trong hệ thống mạch số. Tuy nhiên, khi công nghệ phát triển, các thiết bị điện tử cũng đòi hỏi yêu cầu cao hơn, tốc độ xử lý phải nhanh hơn, kích thước vi mạch phải nhỏ gọn hơn, công suất tiêu thụ phải thấp hơn để duy trì nguồn pin trong thời gian dài. Với các yêu cầu trên thì vi mạch đồng bộ rất khó đáp ứng được vì các vấn đề liên quan đến xung clock như clock skew, glitch, nhiễu điện từ, sự layout cho mạng phân bố xung clock, đặc biệt là vấn đề giảm công suất. Ngược lại, vi mạch bất đồng bộ không sử dụng xung clock nên có thể khắc phục được một số nhược điểm liên quan đến xung clock như được đề cập ở trên. Do đó, trong luận án này, tác giả nghiên cứu về ba vấn đề sau:

- Thứ nhất là nghiên cứu về phương pháp thiết kế mạch bất đồng bộ dựa trên NCL (Null Convention Logic).

- Thứ hai là nghiên cứu qui trình chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ dựa trên NCL.

- Thứ ba là nghiên cứu cải tiến qui trình thiết kế thư viện cell NCL và đề xuất thiết kế hai bộ thư viện cell NCL tĩnh và bán tĩnh phục vụ cho tổng hợp các thiết kế bất đồng bộ.

Nghiên cứu về phương pháp thiết kế mạch bất đồng bộ dựa trên NCL, tác giả đã hệ thống hóa được một số vấn đề liên quan đến thiết kế vi mạch dựa trên NCL. Phương pháp này sử dụng cơ chế bắt tay cục bộ để đồng bộ các hoạt động của mạch, vì vậy các phần tử trong mạch chỉ thực hiện quá trình chuyển mạch khi cần thiết, đặc điểm này không giống như trong mạch đồng bộ. Chính vì vậy mà công suất chuyển mạch trong các vi mạch bất đồng bộ được thiết kế dựa trên NCL giảm đáng kể so với vi mạch đồng bộ. Để minh họa cho các đặc điểm của phương pháp được đề cập ở trên, thuật toán AES (Advanced Encryption Standard) được chọn làm ví dụ minh họa cho phương pháp. Ngoài thực hiện ví dụ trên bằng phương pháp bất đồng bộ dựa trên NCL, luận án này còn thực hiện thiết kế trên bằng phương pháp đồng bộ. Cả hai thiết kế đồng bộ và bất đồng bộ dựa trên NCL được mô phỏng và thử nghiệm trên FPGA (Field Programmable Gate Array) và theo hướng tiếp cận ASIC (Application-Specific Integrated Circuit). Từ đó làm cơ sở cho việc so sánh giữa hai phương pháp về các thông số như công suất, diện tích và tốc độ. Ngoài ra, thông số công suất của phương pháp bất đồng bộ còn được so sánh với kết quả nghiên cứu của các tác giả khác. Kết quả nghiên cứu trên ASIC cho thấy công suất của vi mạch bất đồng bộ dựa trên NCL có thể cải thiện được khoảng 71% so với vi mạch đồng bộ. Ngoài ra, kết quả nghiên cứu trên FPGA cũng cho kết quả tương tự, công suất của vi mạch bất đồng bộ dựa trên NCL cũng cải thiện được khoảng 40% công suất so với vi mạch đồng bộ.

Phương pháp thiết kế vi mạch bất đồng bộ dựa trên NCL không những thích hợp để thiết kế cho các vi mạch công suất thấp mà còn thích hợp để thiết kế cho các vi mạch với nhiều mục đích khác. Do đó, để cải thiện vi mạch đã được thiết kế bằng phương pháp đồng bộ mà không cần phải thiết kế lại nhằm tiết kiệm được thời gian và công sức thì lựa chọn công cụ để chuyển từ thiết kế đồng bộ sang thiết kế bất đồng bộ là cần thiết và cũng được nghiên cứu trong luận án này. Trong số nhiều công cụ chuyển đổi, UNCLE (Unified NCL Environment) được lựa chọn để chuyển đổi từ thiết kế đồng bộ sang thiết kế bất đồng bộ dựa trên NCL vì các ưu điểm của nó. Trong qui trình chuyển đổi của UNCLE, các file code Verilog RTL (Register Transfer Level) được chuyển thành netlist single rail của D flip-flop, chốt và các cổng logic. Netlist này được chuyển thành netlist bất đồng bộ dual-rail và

được tối ưu bởi nhiều chức năng khác. Sau đó, netlist này có thể được tổng hợp bằng nhiều công cụ khác nhau. Để thử nghiệm qui trình chuyển đổi, phép chuyển đổi Subbyte thực hiện khối S-box trong quá trình mã hóa AES được thực hiện. Ngoài ra, netlist sau khi chuyển đổi có thể được mô phỏng bằng bộ mô phỏng Unclesim của UNCLE.

Trong quá trình tổng hợp, hầu hết các thiết kế bất đồng bộ dựa trên NCL đều được tổng hợp bằng cách sử dụng các thư viện đồng bộ. Đây là khó khăn và bất lợi có lẽ là lớn nhất cho những người nghiên cứu về các vi mạch bất đồng bộ. Để giải quyết khó khăn về việc thiếu thư viện cell phục vụ cho tổng hợp các thiết kế bất đồng bộ, trong luận án này, tác giả đã đề xuất cải tiến qui trình thiết kế thư viện cell chuẩn và đồng thời cũng đề xuất thiết kế các bộ thư viện cell NCL cho các thiết kế bất đồng bộ. Nhờ vào qui trình đó mà các nhà nghiên cứu có thể tự tạo các thư viện cell mới ở các công nghệ khác nhau và cập nhật cell mới một cách dễ dàng.

Các cell NCL được thực hiện bằng công cụ Virtuoso của Cadence và Design Compiler của Synopsys, được thiết kế dựa trên PDK (Process Design Kit) 45nm và được mô phỏng để kiểm tra chức năng ở nhiều corner khác nhau. Ngoài ra, Ocean script và môi trường EDA đã được sử dụng nhằm cải tiến qui trình thiết kế thư viện cell và hỗ trợ cho quá trình đặc tính hóa cell tự động để trích xuất mô hình thời gian và mô hình công suất. Các mô hình này được sử dụng để tạo file .lib. File này được chuyển thành file .db để tạo thành thư viện. Thư viện NCL hoàn chỉnh gồm 27 cell được sử dụng để tổng hợp các thiết kế bất đồng bộ dựa trên NCL. Để so sánh các bộ thư viện cell NCL tĩnh và bán tĩnh trong luận án này với thư viện cell NCL của tác giả khác, tác giả đã thực hiện việc so sánh kết quả tổng hợp của bộ cộng toàn phần 4 bit bằng cách sử dụng các thư viện cell NCL được đề xuất và thư viện cell NCL của tác giả khác. Kết quả tổng hợp cho thấy công suất của bộ cộng toàn phần đã cải thiện được 20% khi được tổng hợp bởi thư viện NCL tĩnh và có thể cải thiện được 39% khi được tổng hợp bởi thư viện NCL bán tĩnh so với thư viện NCL tĩnh của tác giả khác.

Tập thể hướng dẫn Nghiên cứu sinh

PGS.TS. Hoàng Trang Lê Thành Tới