

## THÔNG TIN LUẬN ÁN TIẾN SĨ

Đề tài nghiên cứu: **Nghiên cứu và thiết kế bộ giải mã kiểm tra chẵn lẻ mật độ thấp (LDPC) trong hệ thống thông tin thế hệ mới.**

Chuyên ngành: **Kỹ thuật điện tử.** Mã số: **9520203.**

Họ và tên NCS: **Trần Thị Bích Ngọc.**

Tập thể hướng dẫn: **1. PGS.TS. Hoàng Trang.  
2. TS. Nguyễn Lý Thiên Trường.**

Cơ sở đào tạo: **Trường Đại Học Bách Khoa - ĐHQG TP.HCM.**

### *Thông tin tóm tắt về những đóng góp mới về mặt học thuật, lý luận của luận án:*

Mã hóa sửa lỗi là một thành phần đóng vai trò quan trọng trong các hệ thống lưu trữ dữ liệu và truyền thông kỹ thuật số nhằm đảm bảo truyền tải thông tin có độ tin cậy cao. Mã kiểm tra chẵn lẻ mật độ thấp (Low-Density Parity-Check code-LDPC) là một trong những mã sửa lỗi có thể tiệm cận giới hạn Shannon. Từ khi được nghiên cứu lại vào những năm 1990, mã LDPC đã thu hút được nhiều sự quan tâm trong giới học thuật và trong công nghiệp. Mã LDPC có các ưu điểm về độ lợi giải mã, tài nguyên phần cứng và tốc độ xử lý nên chúng đã được sử dụng rộng rãi trong nhiều chuẩn viễn thông, các bộ lưu trữ số... Mã LDPC đã được lựa chọn cho hệ thống thông tin mới, cụ thể là ứng dụng 5G. Các giải pháp tối ưu đã áp dụng cho bộ giải mã LDPC trong các ứng dụng trước có thể không đáp ứng vì theo chuẩn 5G, chiều dài mã rất lớn, mã không đều, bộ nhớ lưu trữ lớn, tốc độ xử lý cao. Chính vì vậy, trong luận án này, tác giả nghiên cứu các vấn đề sau: thứ nhất là nghiên cứu về cải thiện hiệu suất giải mã trên cơ sở thuật toán giải mã Min-Sum; thứ hai là nghiên cứu tính chất đặc biệt của mã 5G LDPC và đề xuất giải pháp tiết kiệm bộ nhớ lưu trữ và cuối cùng là nghiên cứu và thiết kế bộ giải mã LDPC với mục đích tiết kiệm tài nguyên phần cứng và cải thiện hiệu suất giải mã.

Thuật toán cơ sở của giải mã lặp cho mã LDPC là thuật toán Belief-Propagation (BP) cho kết quả giải mã tối ưu nhưng phần cứng rất phức tạp. Nhằm đơn giản hoá thiết kế phần cứng của thuật toán BP, thuật toán Min-Sum (MS) đã sử dụng phương pháp xấp xỉ, nhưng điểm hạn chế là kết quả giải mã giảm đáng kể. Nghiên cứu

về cải thiện hiệu suất giải mã trên cơ sở thuật toán giải mã Min-Sum, tác giả đã hệ thống một số các phương pháp cải tiến, chứng minh trên cơ sở toán học để đưa ra các đề xuất. Giải pháp chung cho việc cải tiến là sử dụng các hệ số hiệu chỉnh tác động vào các quá trình xử lý các thông tin nhằm giảm bớt việc ước lượng quá mức thông tin trong phương pháp xấp xỉ của thuật toán MS. Trong luận án này, tác giả thực hiện các cách tác động khác nhau của các hệ số hiệu chỉnh lên quá trình xử lý các nút kiểm tra (các thuật toán đề xuất Improved Offset Min-Sum (IOMS), Advanced Offset Min-Sum (AOMS) hay tác động đồng thời cả hai quá trình xử lý nút biến và nút kiểm tra (các thuật toán đề xuất Variable Offset Min-Sum (VOMS), Hybrid Offset Min-Sum (HOMS), Enhanced single minimum Min-Sum (EsmMS)). Để đánh giá hiệu suất giải mã, các kết quả mô phỏng được thực hiện cho ma trận BG1 của mã 5G LDPC với tỷ lệ mã 1/2, 2/3, 3/4, 3/5 và chiều dài mã 4080, 13056, 7424, 8832, 6720 sử dụng phần mềm MATLAB R2022b. Kết quả mô phỏng chỉ ra rằng, tại BER  $10^{-8}$  hiệu suất giải mã của thuật toán HOMS đề xuất cải thiện khoảng 0.38 dB so với thuật toán MS, thuật toán AOMS đề xuất cải thiện khoảng 0.26 dB so với thuật toán tham khảo Simplified Minimum Approximation Min-Sum (SMA-MSA).

Phần tiếp theo của luận án sẽ trình bày về phương pháp thiết kế bộ giải mã. Thiết kế bộ giải mã LDPC dựa trên FPGA là một thách thức trong việc lựa chọn thiết kế vì các đặc tính và các thông số của bộ giải mã có mối quan hệ ràng buộc lẫn nhau. Các đặc tính quan trọng như tốc độ xử lý, tài nguyên phần cứng và hiệu suất giải mã. Trong luận án, tác giả sẽ tập trung vào thiết kế các bộ giải mã LDPC với mục đích tiết kiệm phần cứng và cải thiện hiệu suất giải mã dựa vào các thuật toán HOMS và EsmMS đã đề xuất. Ở quá trình xử lý nút kiểm tra, thay vì tìm hai giá trị cực tiểu và vị trí của giá trị cực tiểu thứ nhất như thuật toán Min-Sum thông thường, hai thuật toán đề xuất này chỉ cần tìm một giá trị cực tiểu của các thông tin ngõ vào và vị trí của nó. Ngoài ra, nhằm mục đích tiết kiệm tài nguyên, luận án đã nghiên cứu và thực hiện thiết kế bộ giải mã với lịch trình phân lớp, cấu trúc bán song song và lựa chọn số bit biểu diễn thông tin thích hợp.

Dung lượng bộ nhớ trong bộ giải mã LDPC phụ thuộc vào bậc nút kiểm tra. Trong trường hợp mã không đều, thông thường để thuận tiện cho việc thiết kế, bộ nhớ được thực hiện với bậc nút kiểm tra cực đại. Mã 5G LDPC là mã không đều, các bậc nút kiểm tra giữa các phân lớp khác nhau rất nhiều, trong trường hợp sử dụng bậc nút kiểm tra cực đại để thiết kế sẽ gây tiêu tốn bộ nhớ. Luận án đã đề xuất kỹ thuật phân chia thành hai bộ nhớ theo các bậc nút kiểm tra, trong đó ở mỗi nhóm, bậc các nút kiểm tra có giá trị khác biệt không nhiều.

Kết quả thực hiện trên Xilinx Kintex UltraScale+ FPGA cho thấy các bộ giải mã HOMS và EsmMS đề xuất có tốc độ xử lý lên đến 2.83 Gbps áp dụng với trường hợp mã LDPC có chiều dài mã 8832 và tỷ lệ mã 1/2 với 10 vòng lặp giải mã. Các bộ giải mã đề xuất làm việc ở tần số cực đại 153.5 MHz (bộ giải mã HOMS) và 142.8

MHz (bộ giải mã EsmMS) và có hiệu suất sử dụng phần cứng (Hardware Utilization Efficiency-HUE) xấp xỉ 4.96 và 4.65 tài nguyên phần cứng/lớp.Mbps, tiết kiệm hơn 4.5-5 lần so với các bộ giải mã tham khảo.

**Tập thể hướng dẫn**

**Nghiên cứu sinh**

**PGS.TS. Hoàng Trang**

**TS. Nguyễn Lý Thiên Trường**

**Trần Thị Bích Ngọc**