

ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH  
TRƯỜNG ĐẠI HỌC BÁCH KHOA

ĐẶNG CÔNG THỊNH

NGHIÊN CỨU, THIẾT KẾ, MÔ PHỎNG CHẾ TẠO MOS CỰC CÔNG NỘI

Ngành: Kỹ Thuật Điện Tử  
Mã số ngành: 9520203

TÓM TẮT LUẬN ÁN TIẾN SĨ

TP. HỒ CHÍ MINH - NĂM 2024

Công trình được hoàn thành tại **Trường Đại Học Bách Khoa – ĐHQG-HCM**

Người hướng dẫn: PGS. TS. Hoàng Trang

Phản biện độc lập:

Phản biện độc lập:

Phản biện:

Phản biện:

Phản biện:

Luận án đã được bảo vệ trước hội đồng đánh giá luận án họp tại phòng.....,  
Khoa Điện – Điện Tử – Trường ĐH Bách Khoa – 268 Lý Thường Kiệt, Phường 14,  
Quận 10, TP. Hồ Chí Minh, vào lúc ... giờ ... ngày ... tháng ... năm 2024.

Có thể tìm hiểu luận án tại thư viện:

- Thư viện Trường Đại học Bách Khoa – ĐHQG-HCM
- Thư viện Đại học Quốc gia Tp.HCM
- Thư viện Khoa học Tổng hợp Tp.HCM

## DANH MỤC CÔNG TRÌNH ĐÃ CÔNG BỐ

### **Tạp chí quốc tế**

1. **Thinh Dang Cong**, Trang Hoang “A design TCADAS tool for semiconductor devices and case study of 65 nm conventional Floating-gate MOS transistor”, Heliyon, vol. 10, issue 4, 2024. <https://doi.org/10.1016/j.heliyon.2024.e26496>.

**Tạp chí thuộc Elsevier, SCIE, Scopus, xếp hạng Q1, IF = 4.**

2. **Thinh Dang Cong**, Trang Hoang, "A Virtual Fabrication and High-Performance Design of 65 nm Nanocrystal Floating-Gate Transistor", Modelling and Simulation in Engineering, vol. 2024, Article ID 5162989, 12 pages, 2024. <https://doi.org/10.1155/2024/5162989>.

**Tạp chí thuộc Wiley, Web of Science, Scopus, xếp hạng Q2, IF = 3.2.**

3. **Thinh Dang Cong**, Phuc Ton That Bao, Trang Hoang “A simulated fabrication and characterization of a 65 nm floating-gate MOS transistor”, Ain Shams Engineering Journal, vol. 14, issue. 4, 5 April 2023. <https://doi.org/10.1016/j.asej.2022.101917>.

**Tạp chí thuộc Elsevier, SCIE, Scopus, xếp hạng Q1, IF = 6.**

4. **Thinh Dang Cong**, Toi Le Thanh, Hao Mai Tri, Phuc Ton That Bao, Trang Hoang "Applications of TCAD Simulation Software for Fabrication and study of Process Variation Effects on Threshold Voltage in 180nm Floating-Gate Device", Advances in Science, Technology and Engineering Systems Journal, vol. 6, no. 1, pp. 146-152 (2021). <https://dx.doi.org/10.25046/aj060116>.

**Tạp chí xếp hạng Q3 vào năm 2021 (là thời điểm đăng bài báo).**

5. **Thinh Dang Cong**, Toi Le Thanh, Hao Mai Tri, Phuc Ton That Bao, Trang Hoang "A Novel Approach to Design a Process Design Kit Digital for CMOS 180nm Technology”, Advances in Science, Technology and Engineering Systems Journal, vol. 6, no. 1, pp. 1191-1198 (2021). <https://dx.doi.org/10.25046/aj0601135>.

**Tạp chí xếp hạng Q3 vào năm 2021 (là thời điểm đăng bài báo).**

## **Hội nghị quốc tế**

1. **Thinh Dang Cong**, Trang Hoang (2023). A Methodology of Extraction DC Model for a 65 nm Floating-Gate Transistor. In: Dao, NN., Thinh, T.N., Nguyen, N.T. (eds) Intelligence of Things: Technologies and Applications. ICIT 2023. Lecture Notes on Data Engineering and Communications Technologies, vol 187. Springer, Cham. [https://doi.org/10.1007/978-3-031-46573-4\\_19](https://doi.org/10.1007/978-3-031-46573-4_19).

**Hội nghị thuộc Springer, Lecture Notes on Data Engineering and Communications Technologies, Scopus xếp hạng Q3.**

2. **Thinh Dang Cong**, Thai Long Ho and Trang Hoang, "A simple approach to extract model for a floating-gate transistor," 2023 International Symposium on Electrical and Electronics Engineering (ISEE), Ho Chi Minh, Vietnam, 2023, pp. 29-34, doi: 10.1109/ISEE59483.2023.10299813.

**Hội nghị thuộc IEEE.**

## CHƯƠNG 1      GIỚI THIỆU LUẬN ÁN

Trong nhiều thập kỷ vừa qua chứng kiến một sự phát triển rất mạnh mẽ của thị trường bộ nhớ bán dẫn (semiconductor memory) bao gồm bộ nhớ bay hơi (volatile memory) và bộ nhớ không bay hơi (non-volatile memory), cả hai loại bộ nhớ này đều được phát triển dựa trên công nghệ CMOS. Bộ nhớ bay hơi được biết đến phổ biến thông qua loại bộ nhớ Random-Access Memory (RAM) cùng với khả năng đọc, xóa rất nhanh. RAM được phát triển dựa trên hai nhóm chính đó là Static-RAM (SRAM) và Dynamic-RAM (DRAM). Tuy nhiên, loại bộ nhớ này không thể lưu trữ được lượng dữ liệu lớn, dẫn đến cần phải được làm mới dữ liệu thường xuyên, kết quả dẫn tới tiêu tốn công suất lớn trong quá trình hoạt động. Thêm vào đó, nhược điểm lớn của loại bộ nhớ này đó là không có khả năng lưu trữ được dữ liệu khi ngắt nguồn cung cấp hay còn gọi là đặc điểm bay hơi.

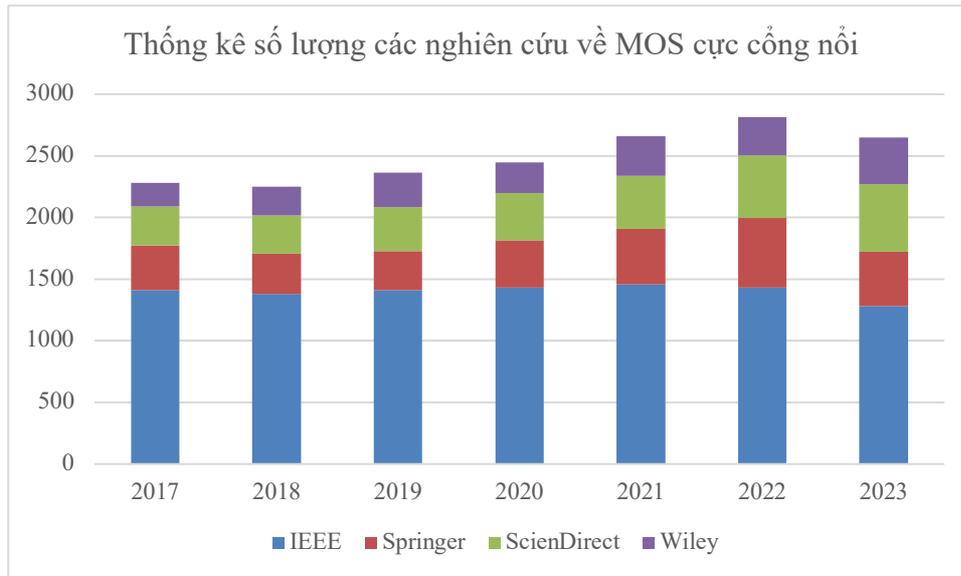
Trong khi đó, bộ nhớ không bay hơi có khả năng lưu trữ được dữ liệu ngay cả khi ngắt nguồn điện cung cấp dựa vào đặc điểm không bay hơi. Một số loại bộ nhớ không bay hơi phổ biến có thể kể đến như Mask ROM, Programmable ROM (PROM), Erasable PROM (EPROM), Electrically Erasable-Programmable ROM (EEPROM), và đặc biệt Flash memory. Ngày nay, bộ nhớ không bay hơi được ứng dụng rộng rãi trong rất nhiều các hệ thống và thiết bị khác nhau như điện thoại, máy tính, các thiết bị viễn thông...

Ban đầu, Mask ROM được thiết kế với khả năng chỉ có thể được lập trình bởi nhà máy chế tạo và không thể thay đổi dữ liệu, đúng như tên gọi vốn có là Read Only Memory (ROM). Sau đó, cùng với sự phát triển của ngành công nghiệp bán dẫn và MOS cực cổng nổi (Floating-gate MOS transistor), EEPROM được ra đời và là loại bộ nhớ có khả năng thực hiện hoạt động Ghi và Xóa bằng trường điện. Bên cạnh đó, EEPROM còn cung cấp khả năng Xóa và sau đó thực hiện Ghi trên mỗi byte của dữ liệu lưu trữ, đó là lý do vi mạch EEPROM còn được biết đến phổ biến bởi tên gọi vi mạch có khả năng Xóa dữ liệu theo byte (byte erasable chips). Những đặc điểm nêu trên góp phần đưa EEPROM trở thành loại bộ nhớ cực kỳ quan trọng trong ngành công nghiệp bộ nhớ bán dẫn tại thời điểm vừa được đưa ra thị trường.

Tuy nhiên, bởi vì mỗi phần tử nhớ của loại bộ nhớ EEPROM bao gồm 2 transistors (2T), điều này dẫn đến chi phí để chế tạo cho mỗi sản phẩm EEPROM rất cao và đặc biệt trong các ứng dụng có thiết kế lớn và độ phức tạp cao. Do đó, Flash memory đã được ra đời nhằm giải quyết các vấn đề nêu trên. Flash memory được phát triển dựa trên hai nhóm chính là NOR flash và NAND flash. Thay vì bao gồm 2 transistors (2T) cho mỗi phần tử nhớ như EEPROM, Flash memory chỉ cần 1 transistor (1T) cho mỗi phần tử nhớ. Vì vậy, chi phí chế tạo được giảm đi đáng kể trong khi vẫn giữ được khả năng lưu trữ được dữ liệu lớn và đây được xem là một cuộc cách mạng lớn mang tính đột phá của ngành công nghiệp bộ nhớ bán dẫn với khả năng lưu trữ dữ liệu lớn và đặc điểm nổi trội không bay hơi.

Khi nghiên cứu về loại bộ nhớ không bay hơi, đặc biệt là Flash memory, chúng ta cần nghiên cứu về MOS cực cổng nổi trước tiên bởi vì đây là phần cốt lõi hay phần tử nhớ của bộ nhớ như đã đề cập bên trên. Ngoài được ứng dụng chính trong thiết kế bộ nhớ không bay hơi [1] [2] [3], MOS cực cổng nổi đã và đang được nghiên cứu phát triển trong các thiết kế mạch Analog Mixed-Signal [4] [5] [6], đặc biệt ngày nay MOS cực cổng nổi còn được nghiên cứu cho các ứng dụng Neural Network, Artificial Intelligence (AI), Neuromorphic [7] [8] [9] [10] [11] [12]. Như đã được biết đến, AI đã và đang nổi lên và đóng một vai trò cực kỳ quan trọng và cấp thiết trong hầu hết mọi lĩnh vực khoa học công nghệ và đời sống ngày nay. Trong khi đó, Neuromorphic computing sử dụng bộ nhớ không bay hơi, nơi mà MOS cực cổng nổi chính là phần tử cốt lõi của bộ nhớ, nhằm áp dụng trong các bài toán mạng nơ-ron sâu (Deep Neural Networks - DNNs) nhằm tăng tốc độ cho các thiết kế phần cứng.

Hình 1.1 dưới đây thể hiện thống kê số lượng các công trình nghiên cứu về MOS cực cổng nổi trong giai đoạn từ năm 2017 đến năm 2023 trên cổng thông tin Google Scholar. Thống kê trên được tổng hợp từ bốn nhà xuất bản lớn đó là IEEE, Springer, ScienDirect, và Wiley. Số liệu trên cho thấy các nghiên cứu về MOS cực cổng nổi tăng trong thời gian gần đây và tổng số lượng công trình được công bố lên đến hơn 17000 từ bốn nhà xuất bản trên. Thống kê trên chỉ ra rằng, MOS cực cổng nổi đã và đang thu hút được rất nhiều sự quan tâm và nghiên cứu từ các nhà khoa học trong thời gian qua, cụ thể trong giai đoạn 7 năm gần đây.



Hình 1.1 Thống kê số lượng công trình nghiên cứu về MOS cực công nổi từ năm 2017 đến 2023

MOS cực công nổi là linh kiện được ra đời bởi đề xuất của Prof. W.B. Shockley, Pearson, Kahng, và Sze vào năm 1967, lấy cảm hứng từ lý thuyết hai trạng thái ổn định “bi-stable state”. Mô hình đầu tiên yêu cầu chế tạo lớp thin-film oxide nhỏ hơn 10 nm, được xem là một nhược điểm gây khó khăn trong quá trình chế tạo lúc bấy giờ. Nhằm giải quyết vấn đề này, năm 1974, mô hình Metal-Insulator-Metal-Insulator-Semiconductor (MIMIS) được đề xuất từ Frohman, bộ nhớ được đưa ra thị trường với tên gọi EPROM. Tuy nhiên, mô hình MIMIS yêu cầu loại bỏ đi cổng external metal và đã trở thành nhược điểm lớn nhất của mô hình. Năm 1976, Fujio Masuoke giải quyết vấn đề này và đưa ra mô hình MOS cực công nổi hoàn chỉnh và được cải tiến, phát triển tới ngày nay [13].

Tuy được ứng dụng trong nhiều thiết kế và được nhiều sự quan tâm từ các nhà khoa học trên thế giới song các vấn đề khi nghiên cứu về MOS cực công nổi vẫn còn tồn tại nhiều thách thức và đang được tiếp tục giải quyết. Một trong những lý do chính dẫn đến các thách thức là bởi vì để đáp ứng nhu cầu của thị trường, trong khi vấn đề thu nhỏ theo tỉ lệ của công nghệ CMOS sẽ giúp cải thiện tốc độ hoạt động, công suất tiêu thụ, và chi phí chế tạo [5], một thách thức cần được giải quyết đối với MOS cực công nổi đó là về giới hạn của độ dày lớp Tunnel Oxide. Tổ chức IRDS và Intel đã chỉ ra giá trị giới hạn độ dày của lớp Tunnel Oxide xấp xỉ 6 nm [13]. Vấn đề cũng như thách thức đó là khi

độ dày của lớp Tunnel Oxide được chế tạo cực kỳ mỏng, sự rò rỉ điện tích trên cực cổng nổi trở nên lớn đáng kể và kết quả dẫn đến tăng công suất dòng rò của thiết bị. Ngoài ra, khi dòng rò trở nên quá lớn sẽ làm giảm hiệu suất hoạt động của MOS cổng nổi bao gồm vấn đề độ tin cậy (Reliability), số lượng chu kỳ Ghi/Xóa mà linh kiện có thể duy trì hoạt động trong khi vẫn đảm bảo tính chính xác giảm, khả năng chịu đựng (Endurance), hay thông số xác định bằng thời gian linh kiện có thể lưu trữ thông tin (Retention time) [5] [13] [14].

Thêm vào đó, việc giảm độ dày lớp Tunnel Oxide cũng dẫn tới làm giá trị thông số GCR, giá trị này phải được đảm bảo lớn hơn hoặc bằng 0.6 [15]. GCR ảnh hưởng đáng kể đến tốc độ hoạt động Ghi, Xóa, và Đọc của MOS cực cổng nổi. Việc giá trị GCR thấp hơn 0.6 dẫn đến việc điều khiển cổng kém hiệu quả và yêu cầu điện áp cung cấp đầu vào cao hơn mức thông thường để bù lại cho phần điện dung thấp. Do đó, việc tìm ra các giải pháp để giải quyết thách thức như đã nêu ở trên về độ dày lớp Tunnel Oxide đóng một vai trò quan trọng hàng đầu trong sự phát triển của MOS cực cổng nổi. Ngoài ra, đối với giá trị thông số GCR, lớp IPD góp phần ảnh hưởng đến giá trị của thông số.

Để giải quyết thách thức trên, nhiều nghiên cứu đã được công bố trong nhiều thập kỷ gần đây. Về tổng quát, luận án thực hiện nghiên cứu tổng quan tình hình công nghệ và đúc kết ra có ba phương pháp tiếp cận chính. Trong đó, cách tiếp cận thứ nhất đề xuất những cấu trúc mới cho MOS cực cổng nổi, cách tiếp cận thứ hai nghiên cứu và cải tiến những vật liệu mới cho quá trình chế tạo, và cách tiếp cận thứ ba tập trung vào việc tối ưu hóa cho MOS cực cổng nổi tiêu chuẩn hiện có. Luận án đặt mục tiêu nghiên cứu và thực hiện đối với hướng tiếp cận thứ nhất và hướng thứ ba. Về chi tiết tổng quan công nghệ của các hướng tiếp cận trên được trình bày như sau.

Đối với phương pháp tiếp cận đầu tiên, rất ít nghiên cứu tập trung vào việc thiết kế cấu trúc MOS cực cổng nổi mới để cải thiện chất lượng, đặc biệt là để giải quyết vấn đề liên quan đến giới hạn của độ dày lớp Tunnel Oxide. Ngày nay, các nhà nghiên cứu đã và đang nghiên cứu các cấu trúc mới như cấu trúc Hybrid Floating Gate (HFG), đối với cấu trúc mới này thì lớp Polysilicon truyền thống được thay thế bằng một cấu trúc mới bao gồm Polysilicon và các lớp Metal được xếp chồng lên nhau [16]. Bên cạnh đó, một trong những cấu trúc được hứa hẹn nhất đó là Nanocrystal. Kiến trúc Nanocrystal đang

trở nên thu hút trong những năm gần đây bằng cách sử dụng các quantum dots để làm các nút lưu trữ điện tích thay vì sử dụng một lớp Polysilycon như các cấu trúc MOS hiện tại [17]. Trong phương pháp tiếp cận ứng dụng cấu trúc Nanocrystal, thay vì giải quyết vấn đề làm độ dày của lớp Tunnel Oxide mỏng hơn, phương pháp này chủ yếu tập trung vào giải quyết giới hạn lưu trữ điện tích bằng cách thay thế cổng nổi liên tục bằng rất nhiều các dots tinh thể được nhúng trong chất cách điện. Trong khi cấu trúc Nanocrystal được chế tạo bởi một lớp Tunnel Oxide mỏng hơn so với MOS cực cổng nổi cấu trúc tiêu chuẩn, nhưng nhược điểm là giá trị GCR thấp hơn nhiều so với cấu trúc MOS cực cổng nổi tiêu chuẩn, việc này dẫn đến điện áp đầu vào yêu cầu cao. Do đó, khi điện áp cung cấp cho hoạt động Ghi như nhau thì thông số cửa sổ bộ nhớ của cấu trúc Nanocrystal trong công trình [18] [19] có giá trị nhỏ hơn nhiều so với cấu trúc MOS cực cổng nổi tiêu chuẩn trong nghiên cứu [20] [21] [22]. Trong khi nghiên cứu [19] chỉ có thể đạt được cửa sổ bộ nhớ 1.2 V với điện áp cung cấp đầu vào 10 V, các nghiên cứu [20] và [21] đạt được giá trị cửa sổ bộ nhớ lần lượt 2 V và 9 V với nguồn cung cấp xấp xỉ 9.5 V. Hơn nữa, cửa sổ bộ nhớ trong công trình [18] chỉ đạt được giá trị 3 V, trong khi đó giá trị này chỉ bằng một phần hai giá trị cửa sổ bộ nhớ của công trình [22] khi điện áp được cung cấp như nhau với giá trị là 12 V.

Về cách tiếp cận thứ hai, nhiều nghiên cứu trong những năm gần đây đã được đề xuất nhằm cải thiện chất lượng và công suất rò của MOS cực cổng nổi. Đối với triển vọng của MOS cực cổng nổi được chế tạo bằng vật liệu mới dựa trên Carbon, đặc biệt là cấu trúc Flash Graphene Memory (GFM), tại đây cực cổng nổi được chế tạo bằng vật liệu Graphene. Vật liệu này mang lại hiệu suất hoạt động tốt cho MOS cực cổng nổi như trong việc kiểm soát nồng độ hạt mang điện và cải thiện đặc tính transient của bộ nhớ [13]. Ngoài ra, có rất nhiều nghiên cứu khác liên quan đến cách tiếp cận thứ hai này như năm 2019, nghiên cứu [23] đã chỉ ra rằng việc tích hợp Silicon-doped Hafnium Oxide (HSO) và vật liệu Antiferroelectric (AFE) có thể giúp cải thiện cơ chế Fowler-Nordheim, cơ chế này ảnh hưởng trực tiếp đến sự rò rỉ điện tích và tốc độ của hoạt động ghi của MOS cực cổng nổi. Trong cùng năm 2019, các tác giả trong nghiên cứu [24] đã đề xuất một vật liệu mới với tên gọi là Molybdenum Disulfide ( $\text{MoS}_2$ ) để giải quyết vấn đề đánh đổi giữa điện áp cung cấp đầu vào và thời gian lưu trữ điện tích khi độ dày lớp Tunnel Oxide lớn hơn hoặc bằng 10 nm. Bên cạnh đó, năm 2018, công trình [25] đã đưa

ra lý thuyết đầy hứa hẹn được gọi là Tunnel Barrier Engineering để cải thiện chất lượng về hoạt động Ghi và Xóa, và tăng thời gian lưu trữ điện tích bằng cách sử dụng phương pháp tiếp cận Variable Oxide Thickness (VARIOT). Thêm vào đó, việc thay thế vật liệu Polysilicon bằng vật liệu Silicon Nitride hoặc sử dụng vật liệu có hằng số điện môi K cao đã được nghiên cứu và được xem là những ứng viên tiềm năng để thay thế chất cách điện truyền thống  $\text{SiO}_2$  và ONO (Oxide-Nitride-Oxide) [26]. Tuy nhiên, một số nghiên cứu về MOS cực cổng nổi của công nghệ chế tạo CMOS 65 nm đã chỉ ra rằng tốc độ Ghi và Xóa của cấu trúc Graphene [27] [28] thấp hơn tốc độ Ghi và Xóa của cấu trúc MOS cực cổng nổi tiêu chuẩn [29] [30]. Trong khi nghiên cứu [27] đưa ra cấu trúc Graphene có tốc độ Ghi/Xóa là 1 s/1 s, tốc độ Ghi/Xóa nhanh hơn là 10 ms/10 ms với điện áp đầu vào như nhau là  $\pm 18$  V đã được trình bày trong nghiên cứu [29]. Bên cạnh đó, khi điện áp đầu vào là  $\pm 15$  V, trong khi cấu trúc Graphene trong công trình [28] thu được 3 s cho tốc độ ghi, cấu trúc MOS cực cổng nổi trong công trình [30] đạt được tốc độ Ghi chỉ 1 ms.

Đối với phương pháp tiếp cận thứ ba, các công trình [18] [19] [20] [21] [22] [25] [27] [28] [29] [30] về MOS cực cổng nổi của công nghệ CMOS 65 nm đã chỉ ra rằng cấu trúc MOS cực cổng nổi tiêu chuẩn đạt chất lượng cạnh tranh với cấu trúc Nanocrystal trong phương pháp tiếp cận thứ nhất và tốt hơn cấu trúc Graphene trong phương pháp tiếp cận thứ hai. Tuy nhiên, có rất ít nghiên cứu đã được công bố về cấu trúc MOS cực cổng nổi tiêu chuẩn trong việc tối ưu hóa chất lượng của thiết bị như tối ưu thông số cửa sổ bộ nhớ, tốc độ Ghi/Xóa, hoặc tối ưu các thông số kích thước của MOS cực cổng nổi, đặc biệt là giải quyết thách thức về giới hạn về độ dày của lớp Tunnel Oxide trong khi vẫn đạt được MOS cực cổng nổi có chất lượng hoạt động tốt.

Do đó, trong luận án, hai hướng tiếp cận được chọn thực hiện. Trong khi cấu trúc Nanocrystal được nghiên cứu cho hướng tiếp cận thứ nhất, cấu trúc tiêu chuẩn MOS cực cổng nổi được nghiên cứu và cải thiện chất lượng trong hướng tiếp cận thứ ba.

Sau cùng, khi nghiên cứu về chế tạo linh kiện bán dẫn, trước khi đến bước chế tạo linh kiện trong nhà máy FAB như TSMC, Samsung, Global Foundries...giai đoạn mô phỏng thiết kế linh kiện bán dẫn và kiểm tra đặc tính dựa trên các phần mềm hay công cụ chuyên dụng TCAD là không thể thiếu. Việc này nhằm tăng hiệu quả trong quá trình

sản xuất, tiết kiệm thời gian thử nghiệm chế tạo thực tế, giảm thiểu chi phí chế tạo thí nghiệm. Sau đó, nhằm kiểm chứng độ tinh cậy của thiết kế trên phần mềm mô phỏng, dựa trên các thông số chế tạo ảo từ phần mềm, quá trình chế tạo linh kiện thực tế trên Silicon được thực hiện và đem đi so sánh, kiểm chứng với các kết quả mô phỏng. Tuy nhiên, trong điều kiện giới hạn của đề tài, các kết quả mô phỏng được kiểm chứng thông qua việc so sánh với kết quả đặc tính của linh kiện đã được chế tạo thực tế trong công nghiệp cho công nghệ 65 nm.

### **Đóng góp luận án**

Luận án tập trung thực hiện nghiên cứu, thiết kế, mô phỏng chế tạo hai cấu trúc MOS cực cổng nổi bao gồm cấu trúc Nanocrystal và cấu trúc tiêu chuẩn, và trích xuất mô hình DC cho linh kiện sau khi mô phỏng chế tạo ảo. Các đóng góp chính của luận án đó là:

1. Bản thiết kế công cụ mới với tên gọi TCADAS phục vụ trong nghiên cứu, mô phỏng chế tạo ảo cho linh kiện bán dẫn, cụ thể cho MOS cực cổng nổi. Mã nguồn bản công cụ này được công bố để đóng góp cho cộng đồng nghiên cứu vi mạch:  
<https://github.com/Steve-Dang459/tcadas.git>,  
<https://github.com/hoangtranhcmut/tcadas>.
2. Đề xuất bộ thông số kích thước cho cấu trúc Nanocrystal MOS cực cổng nổi cho công nghệ 65 nm, chất lượng của linh kiện được cải thiện như cửa sổ bộ nhớ lớn, tốc độ Xoá nhanh so với các công trình đã được công bố.
3. Đề xuất bộ thông số kích thước cho cấu trúc MOS cực cổng nổi tiêu chuẩn cho công nghệ 65 nm. Với bộ thông số này, chất lượng của linh kiện được cải thiện như cửa sổ bộ nhớ lớn, tốc độ Xoá nhanh so với các công trình đã được công bố.
4. Đóng góp trong lĩnh vực trích xuất mô hình DC linh kiện:  
+ **4.1.** Cung cấp và thực hiện hai phương pháp trong trích xuất mô hình DC của MOS cực cổng nổi sau khi mô phỏng chế tạo ảo. Hai phương pháp tiếp cận đó là trích xuất sử dụng mô hình tương đương, và sử dụng công cụ công nghiệp ICCAP.

+ **4.2.** Xây dựng công cụ trích xuất mô hình BSIM3v3.1 mức 49 sử dụng mô hình toán và các thông số trong mô phỏng chế tạo ảo. Mã nguồn bản công cụ này được công bố để đóng góp cho cộng đồng nghiên cứu vi mạch:

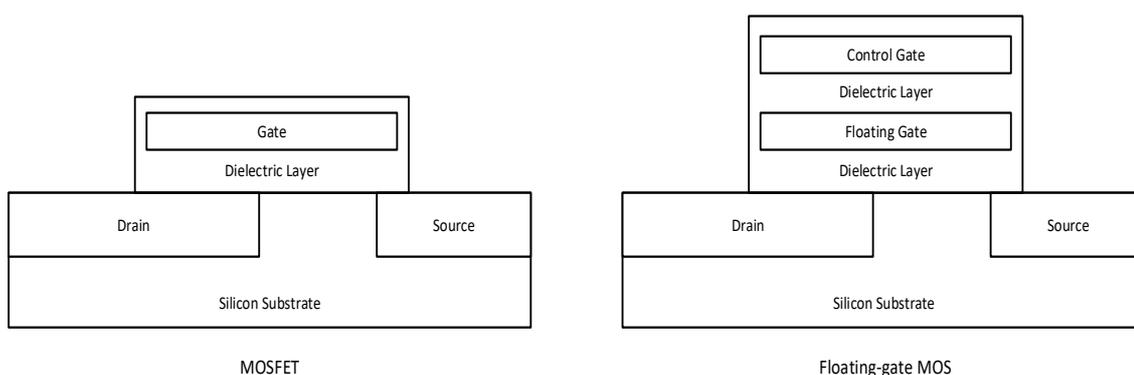
<https://github.com/Steve-Dang459/DCExtractionTool>,

<https://github.com/hoangtranhcmut/DCExtractionTool>.

## CHƯƠNG 2 TỔNG QUAN VỀ MOS CỰC CÔNG NỔ

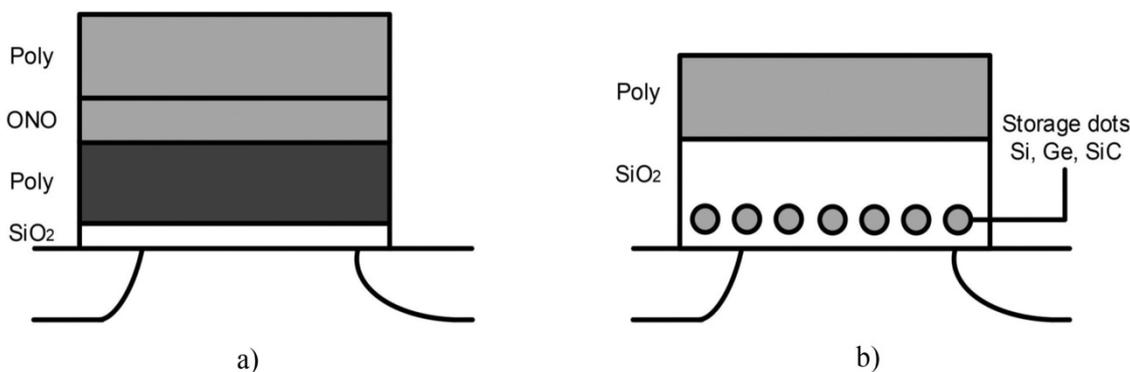
### 2.1 Cấu tạo MOS cực công nổ

Hình 2.1 trình bày cấu trúc MOS cực công nổ và điểm khác biệt giữa cấu trúc linh kiện và cấu trúc MOSFET truyền thống.



Hình 2.1 Mô hình MOSFET truyền thống và MOS cực công nổ

Bên cạnh đó, sự khác biệt giữa cấu trúc MOS cực công nổ tiêu chuẩn và cấu trúc Nanocrystal MOS cực công nổ được trình bày trong Hình 2.2.



Hình 2.2 Cấu trúc MOS cực công nổ a. Tiêu chuẩn b. Nanocrystal

### 2.2 Hoạt động MOS cực công nổ

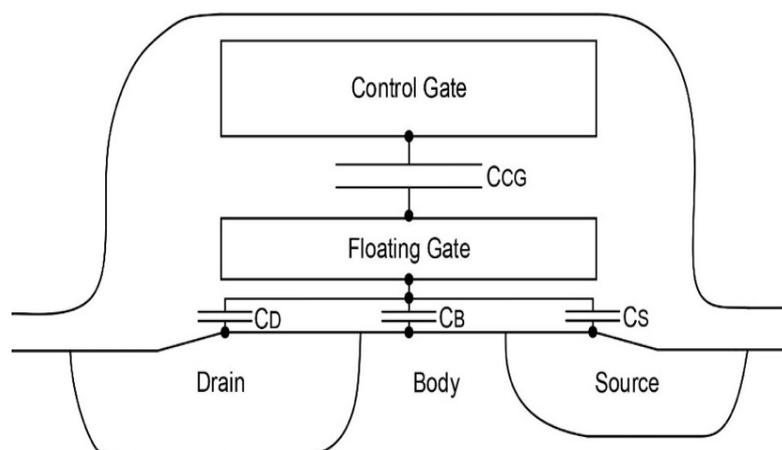
MOS cực công nổ có 3 trạng thái hoạt động: trạng thái Đọc, Ghi, và Xóa.

### 2.3 Trạng thái Đọc

Trạng thái Đọc nhằm mục đích xác định trạng thái hiện tại của linh kiện.

### 2.3.1 Mô hình MOS cực cổng nổi cổ điển

Mô hình cổ điển của linh kiện bán dẫn MOS cực cổng nổi.



Hình 2.3 Mô hình MOS cực cổng nổi theo mô hình phân tích cổ điển

Công thức chính của mô hình thể hiện giá trị của lượng điện tích trên cổng nổi Q.

$$Q = C_{FG}(V_{FG} - V_{CG}) + C_S(V_{FG} - V_S) + C_D(V_{FG} - V_D) + C_B(V_{FG} - V_B) = 0 \quad (2.1)$$

### 2.3.2 Mô hình MOS cực cổng nổi cân bằng điện tích

Khác so với mô hình cổ điển, phương trình chính của mô hình cân bằng điện tích được trình bày bên dưới. Mô hình cho ra độ chính xác cao hơn mô hình cổ điển trước đó.

$$Q_G(V_{FG}, V_S, V_D, V_B) + C_{CG}(V_{FG} - V_{CG}) = Q_{FG} \quad (2.2)$$

## 2.4 Trạng thái Ghi

Trạng thái Ghi với nhiệm vụ sẽ đưa các điện tích từ lớp nền lên cổng nổi và được mô hình hóa dựa vào phương pháp Channel Hot Electron Current (CHE).

## 2.5 Trạng thái Xoá

Ngược lại với trạng thái Xoá, nguyên lý hoạt động sẽ đưa các điện tích trên cổng nổi sau quá trình Ghi về lại lớp nền. Trạng thái Ghi được mô hình dựa vào phương pháp Fowler-Nordheim (FN).

## CHƯƠNG 3 THIẾT KẾ CÔNG CỤ TCADAS

Các kết quả nghiên cứu trong chương này được công bố ở công trình [1] của tác giả.

### 3.1 Tổng quan về các nghiên cứu liên quan

Nhiều công trình nghiên cứu trong thời gian gần đây:

- Sử dụng các công cụ TCAD và ngôn ngữ lập trình Python.
- Không nêu ra phương pháp, cách thiết kế chi tiết.
- Chưa có công trình về thiết kế công cụ trong nghiên cứu MOS cực công nổi.

### 3.2 Đề xuất phương pháp thiết kế cho công cụ TCADAS

Giải thuật được đề xuất trong thiết kế công cụ mới TCADAS (Technology Computer-Aided Design Automatic Simulation) trình bày như sau:

---

#### Thuật toán được đề xuất cho công cụ TCADAS

---

```
1: Input: Datin consists of sub-set parameters ( $x_1, x_2, \dots, x_n$ )
2: Input: Datin essential formulas of semiconductor device for characteristic analysis
   ( $f_1, f_2, \dots, f_m$ )
3: while (1)
4:     MeshTMP = Create Mesh (2D  $\rightarrow$  3D)
5:     if MeshTMP  $\geq$  MeshTarget then
6:         Mesh  $\leftarrow$  MeshTMP
7:     end if
8: end while
9: for  $x_i = 1 \rightarrow n$ 
10:    fabricate stepi using Athena
11:    if Verify(stepi)  $\geq$  Verify(stepTarget) then
12:         $i = i + 1$ 
13:    end if
14: end for
15: Output: Dataout structure (2D  $\rightarrow$  3D)
16: Characterize analysis: export  $y_i = f_{1 \rightarrow m}(x_{1 \rightarrow n})$ 
17: print *.in file (all inputs) and *.csv file (all outputs)
```

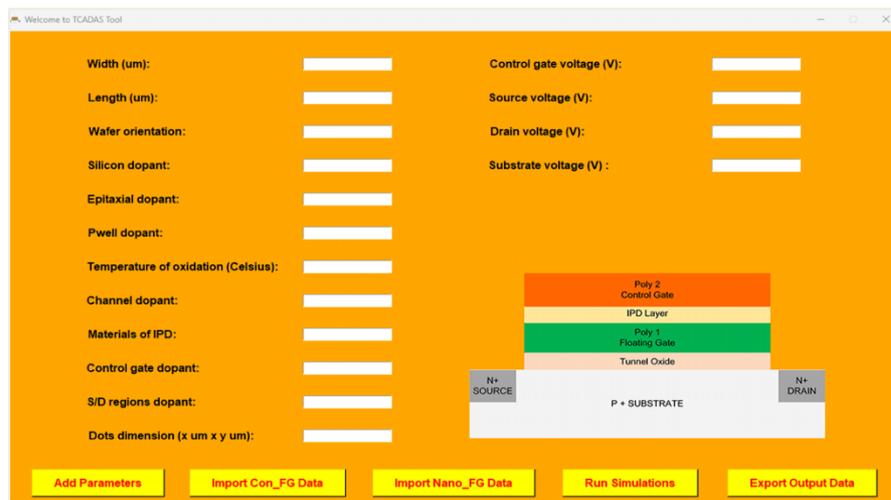
---

Trong đó,

- $x \in \{1, \dots, n\}$  là các biến giá trị ngõ vào của linh kiện. Tất cả các giá trị  $x_{1 \rightarrow n}$  được tổng hợp và lưu trữ trong file \*.in.

- Hàm  $f_j()$   $\forall j \in \{1, \dots, m\}$  là các phương trình toán được sử dụng trong quá trình mô phỏng đặc tính cho linh kiện bán dẫn.
- Ngõ ra  $y_i = f_{1 \rightarrow m}(x_{1 \rightarrow n})$  là kết quả của quá trình characterization. File \*.csv sẽ được tạo ra nhằm tổng hợp tất cả các giá trị  $y_i$ . Giá trị  $y_i$  là các công thức xác định các giá trị đặc tính tiêu biểu của linh kiện bán dẫn như điện áp ngưỡng trước và sau khi thực hiện Ghi/Xoá, tỉ lệ  $I_{ON}/I_{OFF}$ , thông số GCR...

Giao diện (GUI) của công cụ TCADAS sau khi thiết kế được trình bày trong Hình 3.1.



Hình 3.1 TCADAS GUI

### 3.3 Kết quả thí nghiệm mô phỏng

Tiếp theo, khi áp dụng công cụ TCADAS cho MOS cực công nổi, một số kết quả mô phỏng đặc tính chính của linh được trình bày tóm tắt bao gồm:

- Tỉ lệ  $I_{ON}/I_{OFF}$ .
- Điện áp ngưỡng tại thời điểm khởi tạo.
- Mô phỏng điện tích trên cổng nổi trong quá trình Ghi.
- Mô phỏng điện áp ngưỡng trước khi thực hiện Ghi.
- Mô phỏng điện tích trên cổng nổi trong quá trình Xoá.
- Trích xuất thông số GCR.

## CHƯƠNG 4 THIẾT KẾ, MÔ PHỎNG CHẾ TẠO CẤU TRÚC NANOCRYSTAL MOS CỰC CÔNG NỘI VÀ MÔ PHỎNG ĐẶC TÍNH

Các kết quả nghiên cứu trong chương này được công bố ở công trình [2] của tác giả.

### 4.1 Tổng quan về các nghiên cứu liên quan

Nhiều công trình đã được công bố trong thời gian gần đây. Tuy nhiên, chất lượng của linh kiện chưa cao và cần được cải thiện.

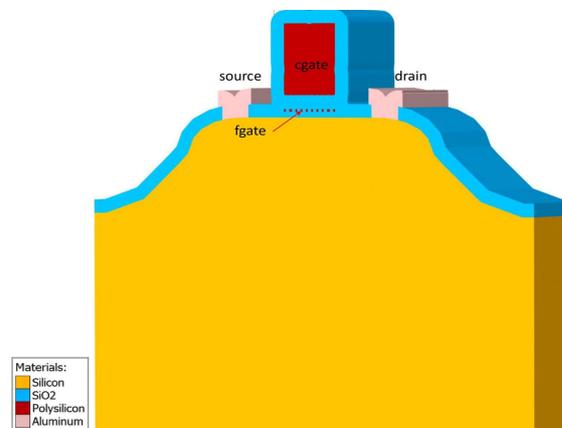
### 4.2 Đề xuất thiết kế cấu trúc Nanocrystal

Luận án đề xuất đưa ra một bộ thông số cho thiết kế mô phỏng chế tạo ảo cấu trúc Nanocrystal MOS cực công nội công nghệ 65 nm. Cụ thể các thông số chính ảnh hưởng lớn đến chất lượng của linh kiện được đề xuất như sau:

- Độ dày của lớp Tunnel Oxide chỉ 6 nm.
- Kích thước của quantum dots là 3 nm x 3 nm.
- Khoảng cách giữa các quantum dots là: 2 nm x 3 nm.
- Độ dày 15 nm của lớp Inter-Poly Dielectric (IPD).

### 4.3 Thiết kế và mô phỏng chế tạo

Sau khi thực hiện mô phỏng chế tạo ảo, cấu trúc 3D Nanocrystal MOS cực công nội hoàn chỉnh được trình bày ở Hình 4.1 bên dưới.



Hình 4.1 Cấu trúc 3D Nanocrystal MOS cực công nội

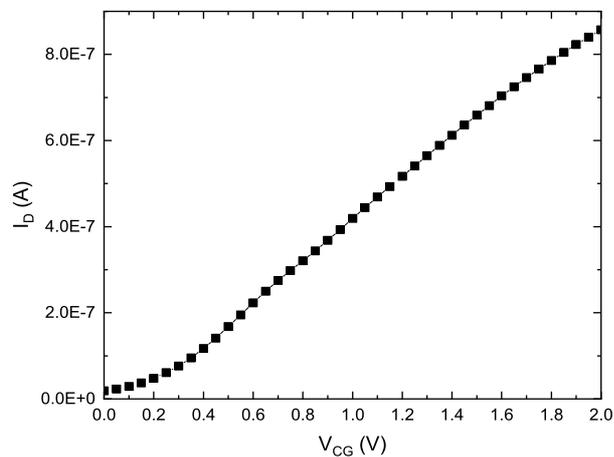
#### 4.4 Mô phỏng đặc tính

Các mô phỏng đặc tính chính khi nghiên cứu linh kiện MOS cực công nổi bao gồm:

- Mô phỏng và xác định thông số điện áp ngưỡng trước khi Ghi hay còn gọi ở điều kiện khởi tạo.
- Mô phỏng ảnh hưởng của ( $V_{SB}$ ) lên quan hệ ( $I_{DS}-V_{CG}$ ), điện áp ( $V_D$ ) lên quan hệ ( $I_{DS}-V_{CG}$ ), điện áp ( $V_{CG}$ ) lên quan hệ ( $I_{DS}-V_{DS}$ ).
- Mô phỏng tốc độ Ghi, Cửa sổ bộ nhớ.
- Mô phỏng tốc độ Xoá.
- Mô phỏng đặc tính duy trì và khả năng chịu đựng.
- So sánh với các công trình liên quan.

##### 4.4.1 Mô phỏng điện áp ngưỡng tại thời điểm khởi tạo

Quan hệ giữa dòng máng và điện áp cực điều khiển của linh kiện ở điều kiện khởi tạo được trình bày trong Hình 4.2. Giá trị điện áp ngưỡng là 0.2 V ở điều kiện khởi tạo.

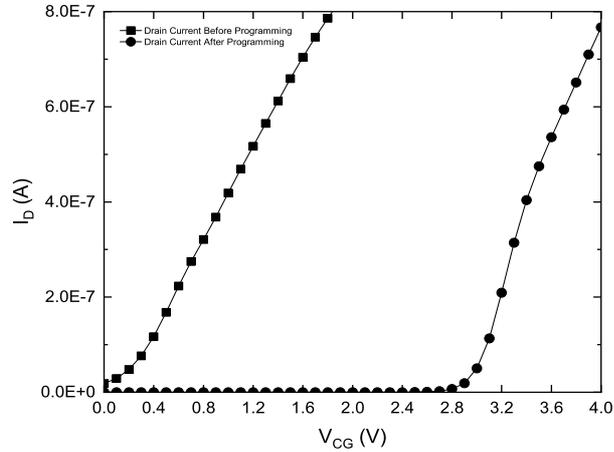


Hình 4.2 Điện áp ngưỡng khởi tạo

Tiếp theo, về sự ảnh hưởng của  $V_{SB}$ ,  $V_D$ , và  $V_{CG}$ , các kết quả đạt được biến thiên ổn định và đúng với lý thuyết của linh kiện.

#### 4.4.2 Mô phỏng trạng thái Ghi và giá trị cửa sổ bộ nhớ

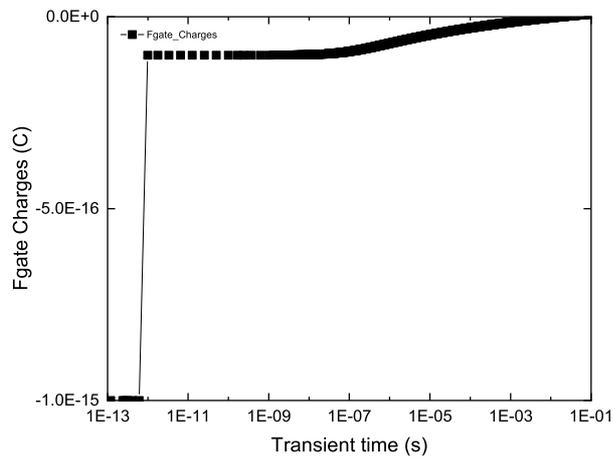
Trong quá trình Ghi, lượng điện tích trên các quantum dots tăng từ 0 C đến xấp xỉ  $1.4 \times 10^{-15}$  C trong khoảng thời gian 0.05 s. Giá trị cửa sổ bộ nhớ được xác định 2.8 V.



Hình 4.3 Cửa sổ bộ nhớ

#### 4.4.3 Mô phỏng trạng thái Xóa

Ngược lại so với trạng thái Ghi, trạng thái Xóa sẽ đưa lượng điện tích rời khỏi các dots để đưa MOS cực cổng nổi trở về trạng thái trước khi Ghi hoặc khởi tạo. Dẫn đến kết quả điện áp ngưỡng thay đổi từ 3 V trở về 0.2 V.



Hình 4.4 Điện tích trên các dots trong quá trình Ghi

Khi giá trị điện áp của cực điều khiển thay đổi từ  $\pm 6$  V,  $\pm 9$  V,  $\pm 12$  V,  $\pm 15$  V giá trị tốc độ Xóa cao đạt được là 0.1 s, 2.03  $\mu$ s, 28.6 ns, 1.6 ns, tương ứng.

#### 4.4.4 Mô phỏng đặc tính duy trì và khả năng chịu đựng

Đặc tính duy trì, giá trị điện áp ngưỡng sau khi Ghi giảm từ 3 V xuống xấp xỉ 2.25 V, tương ứng độ giảm xấp xỉ 25% trong thời gian  $10^8$  s.

Khả năng chịu đựng, giá trị điện áp ngưỡng sau khi Ghi thay đổi trong biên độ 0.25 V trong số lượng chu kỳ  $10^5$ .

#### 4.5 So sánh với các công trình liên quan

Trong mục này, so sánh dựa trên chất lượng của linh kiện giữa Nanocrystal MOS cực cổng nổi và các công trình liên quan được trình bày trong Bảng 4.1. Từ bảng so sánh cho thấy chất lượng của linh kiện từ luận án tốt hơn các công trình [18], [45], và [46].

Bảng 4.1 So sánh giữa cấu trúc Nanocrystal MOS cực cổng nổi và các công trình liên quan

	[18]	[43]	[44]	Luận án		
Structure	Nanocrystal (underlap channel)	Nanocrystal	Nanocrystal	Nanocrystal		
Device structure						
Tunnel Oxide Thickness (nm)	3.3	3.3	3.3	3.3	3.3	6
Dots Dimension [x x y] (nm)	3 x 5	3 x 5	X	X	3 x 5	3 x 3
Dots Material/ Dimension [x x y] (nm)	Polys/5x5	Poly/5x5	Poly/4x10	Poly/4x10	Poly/5x5	Poly/2x3
IPD Material/ Thickness (nm)	SiO2/10	SiO2/10	SiO2/10	SiO2/10	SiO2/10	SiO2/15
Control Gate Material/Thickness (nm)	X	X	Poly/1000	Alumin/1000	Alumin/80	Poly/80
W/E Voltage (V)	12/X	12/X	12/-12	12/-12	12/-12	12/-12
Device Performance						
Memory Window (V)	3.1	2.5	1.27	1.08	2.5	10.1
Write Speed (s)	$3 \times 10^{-1}$	$3 \times 10^{-1}$	$17 \times 10^{-2}$	$5 \times 10^{-2}$	1.85	$5 \times 10^{-2}$
Erase Speed (s)	X	X	$215 \times 10^{-3}$	$180 \times 10^{-3}$	0.2	$2.86 \times 10^{-8}$

\*X: không được cung cấp

## CHƯƠNG 5 THIẾT KẾ, MÔ PHỎNG CHẾ TẠO CẤU TRÚC MOS CỰC CÔNG NỘI TIÊU CHUẨN VÀ MÔ PHỎNG ĐẶC TÍNH

Các kết quả nghiên cứu trong chương này được công bố ở công trình [3] và [4] của tác giả.

### 5.1 Tổng quan về các nghiên cứu liên quan

Nhiều công trình nghiên cứu trong thời gian gần đây, tuy nhiên chất lượng linh kiện vẫn còn nhiều điểm cần cải thiện như cửa sổ bộ nhớ thấp, tốc độ hoạt động thấp.

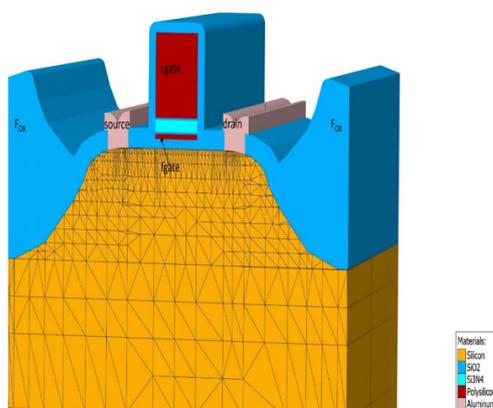
### 5.2 Đề xuất thiết kế cấu trúc tiêu chuẩn

Luận án đề xuất đưa ra một bộ thông số cho thiết kế mô phỏng chế tạo ảo cấu trúc tiêu chuẩn MOS cực công nội công nghệ 65 nm. Cụ thể các thông số chính ảnh hưởng lớn, trực tiếp đến chất lượng của linh kiện được đề xuất như sau:

- Độ dày của lớp Tunnel Oxide chỉ 9 nm.
- Độ dày của lớp lưu trữ điện tích là: 5 nm.
- Độ dày 15 nm của lớp Inter-Poly Dielectric (IPD).

### 5.3 Thiết kế mô phỏng chế tạo

Công cụ TCADAS tiếp tục được sử dụng trong nghiên cứu chế tạo ảo cấu trúc MOS cực công nội tiêu chuẩn. Kết quả cấu trúc 3D được trình bày trong hình 5.1 sau.



Hình 5.1 Cấu trúc 3D MOS cực công nội tiêu chuẩn

## **5.4 Mô phỏng đặc tính**

Tương tự như trong mô phỏng đặc tính đối với cấu trúc Nanocrystal MOS cực cổng nổi, các mô phỏng được thực hiện tương ứng cho MOS cực cổng nổi cấu trúc tiêu chuẩn. Do đó, chỉ các kết quả sau khi mô phỏng được trình bày trong nội dung quyền tóm tắt.

### **5.4.1 Mô phỏng điện áp ngưỡng tại thời điểm khởi tạo**

Giá trị điện áp ngưỡng của linh kiện là 0.2 V ở điều kiện khởi tạo hay trước khi Ghi.

### **5.4.2 Mô phỏng trạng thái Ghi và giá trị cửa sổ bộ nhớ**

Điện áp ngưỡng của MOS cực cổng nổi tiêu chuẩn tăng từ 0.2 V đến 4.2 V trong quá trình Ghi. Vì vậy, giá trị quan trọng nhất của MOS cực cổng nổi, cửa sổ bộ nhớ là 4 V.

### **5.4.3 Mô phỏng trạng thái Xoá**

Sau quá trình Xoá, dẫn đến kết quả điện áp ngưỡng của linh kiện giảm từ 3 V trở về 0.2 V. Tốc độ Xoá của cấu trúc tiêu chuẩn đạt được cao với giá trị lần lượt là 0.1s, 1  $\mu$ s, 15 ns, và 0.9 ns khi điện áp đầu vào  $\pm 6$  V,  $\pm 9$  V,  $\pm 12$  V,  $\pm 15$  V.

### **5.4.4 Mô phỏng đặc tính duy trì và khả năng chịu đựng**

Đặc tính duy trì, giá trị điện áp ngưỡng sau khi Ghi giảm từ 4.2 V xuống xấp xỉ 2.8 V, tương ứng độ giảm xấp xỉ 33% trong thời gian  $10^8$  s. Khả năng chịu đựng, giá trị điện áp ngưỡng sau khi Ghi thay đổi trong biên độ 0.22 V trong số lượng chu kỳ  $10^5$ .

## **5.5 So sánh với các công trình liên quan**

Trong mục này, so sánh dựa trên chất lượng của linh kiện giữa MOS cực cổng nổi cấu trúc và các công trình liên quan được trình bày trong Bảng 5.1. Từ bảng so sánh cho thấy chất lượng của linh kiện từ luận án tốt hơn các công trình được công bố trước đó.

## **5.6 So sánh cấu trúc tiêu chuẩn và cấu trúc Nanocrystal được thiết kế**

Về mặt chế tạo, cấu trúc Nanocrystal đạt độ dày lớp Tunnel Oxide chỉ 6 nm, trong khi cấu trúc tiêu chuẩn đạt 9 nm. Về mặt chất lượng, rõ ràng Nanocrystal đạt kết quả cạnh tranh và có sự đánh đổi giữa kích thước vật lý và chất lượng linh kiện so với cấu trúc tiêu chuẩn.

Bảng 5.1 Bảng so sánh kết quả mô phỏng của MOS cực công nổi tiêu chuẩn với các công trình liên quan

Công trình	[18]	[19]	[25]	[27]	[28]	[20]	[21]	[22]	[29]	[30]	Luận Án				
Phương pháp tiếp cận	1	1	2	2	2	3	3	3	3	3	3				
<b>Kích thước linh kiện</b>															
Độ dày oxide đường hầm (nm)	3.3	3	6÷8	7	7	9.75	10	8.5	7.5	9.3	9				
Độ dày của lớp lưu trữ điện tích (nm)	5	60	20	2÷3	10	70	X	X	X	X	5				
Độ dày của lớp IPD (nm)	10	10	25	15	31	13	13	X	X	14	15				
<b>Hiệu năng của linh kiện</b>															
Điện áp Ghi/Xóa (V)	12/X	10/-8	10/-12	18/-18	15/-15	9.5/-5	9.5/-9.5	12/-6	18/-18	8/X	6/-6	9/-9	12/-12	15/-15	18/-18
Cửa sổ bộ nhớ	3	1.2	4	6.8	8	2	9	6	4.3	5	4	7	10.5	14.5	17.5
GCR	0.64	X	X	0.68	0.2	X	X	X	X	0.64	0.645	0.645	0.645	0.645	0.645
<b>Đặc tính transient</b>															
Tốc độ Ghi (s)	$3 \times 10^{-1}$	$2 \times 10^{-1}$	$1 \times 10^{-4}$	1	3	$1 \times 10^{-5}$	$1 \times 10^{-5}$	$1 \times 10^{-5}$	$1 \times 10^{-2}$	$1 \times 10^{-3}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$
Tốc độ Xóa (s)	X	$4 \times 10^{-2}$	$1 \times 10^{-2}$	1	$1 \times 10^{-2}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$	$5 \times 10^{-2}$	$1 \times 10^{-2}$	X	$7 \times 10^{-2}$	$1 \times 10^{-6}$	$1.5 \times 10^{-8}$	$9 \times 10^{-10}$	$1.3 \times 10^{-10}$

## CHƯƠNG 6 TRÍCH XUẤT MÔ HÌNH DC

Các kết quả nghiên cứu trong chương này được công bố ở công trình [5] và hai công trình hội nghị quốc tế [1] và [2] của tác giả.

### 6.1 Tổng quan về các nghiên cứu liên quan

Tổng quan công nghệ cho thấy có hai hướng tiếp cận chính trong trích xuất mô hình DC bao gồm sử dụng công cụ chuẩn công nghiệp và mô hình tương đương.

### 6.2 Đề xuất phương pháp tiếp cận và xây dựng công cụ trích xuất

Luận án thực hiện cả hai hướng tiếp cận: sử dụng công cụ chuẩn công nghiệp ICCAP cho mô hình Mức 3, và mô hình tương đương cho mô hình BSIM3v3.1 mức 49.

Luận án thực hiện tổng hợp các công trình được công bố trước đây, và xây dựng công cụ nhằm trích xuất mô hình BSIM3v3.1 mức 49.

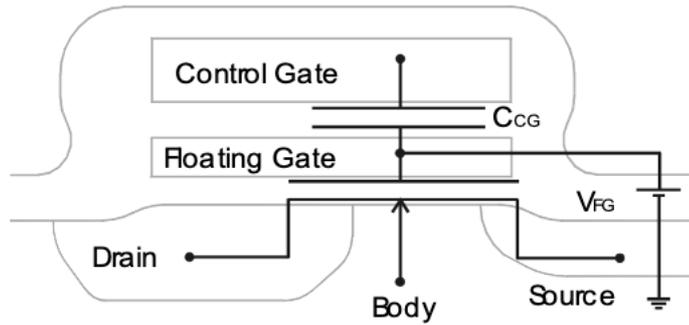
### 6.3 Trích xuất mô hình DC sử dụng công cụ ICCAP

Hướng tiếp cận sử dụng công cụ chuẩn công nghiệp ICCAP cho mô hình Mức 3. Luận án thực hiện dựa trên ba kích thước đầu vào của MOS cực cổng nổi:

- $W/L = 20\mu\text{m}/20\mu\text{m}$ : Kết quả đạt độ chính xác cao.
- $W/L = 0.36\mu\text{m}/20\mu\text{m}$ : Kết quả có độ sai lệch lớn.
- $W/L = 1\mu\text{m}/2\mu\text{m}$ : Kết quả có độ sai lệch lớn.

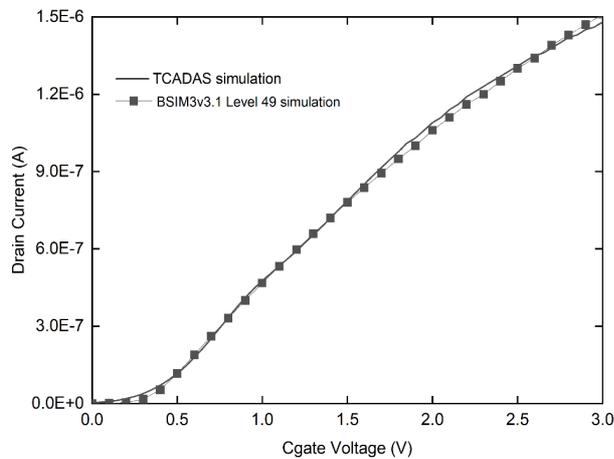
### 6.4 Trích xuất mô hình DC sử dụng mô hình tương đương

Hướng tiếp cận sử dụng mô hình tương đương cho MOS cực cổng nổi. Trong mô hình tương đương, nhằm trích xuất mô hình cho MOS transistor trong Hình 6.1, luận án thực hiện tổng hợp các nghiên cứu trước đây và xây dựng công cụ trích xuất MOS transistor mô hình chuẩn công nghiệp BSIM3v3.1 mức 49.



Hình 6.1 Mô hình DC cho MOS cực cổng nổi

#### 6.4.1 Kết quả dòng máng và điện áp điều khiển ở điều kiện khởi tạo



Hình 6.2 Dòng máng và điện áp cực điều khiển tại điều kiện khởi tạo.

Về kết quả mô phỏng, cả hai đồ thị hầu hết khớp với nhau giữa mô phỏng từ công cụ TCADAS (trước khi trích xuất mô hình) và công cụ Ltspice (sau khi trích xuất mô hình).

#### 6.4.2 Kết quả dòng máng và điện áp điều khiển ở điều kiện $V_{SB}$ thay đổi

Giá trị điện áp ngưỡng của MOS cực cổng nổi tăng khi  $V_{SB}$  tăng từ 0 V đến 0.45 V với bước nhảy 0.15 V, và sai lệch chấp nhận được giữa hai kết quả mô phỏng.

#### 6.4.3 Kết quả dòng máng và điện áp điều khiển ở điều kiện $V_D$ thay đổi

Dòng máng thay đổi không đáng kể giữa hai công cụ mô phỏng khi  $V_D$  thay đổi từ 1.4 V xuống 0.8 V, với bước nhảy 0.2 V.

#### ***6.4.4 Kết quả dòng máng và điện áp cực máng ở điều kiện $V_{CG}$ thay đổi***

Sự sai lệch chấp nhận được trong mô phỏng dòng máng và điện áp cực máng khi giá trị điện áp cực điều khiển thay đổi. Giá trị điện áp  $V_{CG}$  được thay đổi từ 6 V đến 5.25 V với bước nhảy 0.25 V.

Tóm lại, các kết quả từ mô hình được trích xuất được đánh giá tốt với độ chính xác cao tại điều kiện mặc định, điều kiện này là điều kiện hoạt động chính của MOS cực cổng nối được mô phỏng chế tạo của luận án.

## CHƯƠNG 7 KIỂM CHỨNG KẾT QUẢ MÔ PHỎNG

Các kết quả nghiên cứu trong chương này được công bố ở công trình [1] của tác giả.

### 7.1 Kết quả chế tạo của MOS cực cổng nổi thực tế trong công nghiệp

MOS cực cổng nổi cấu trúc tiêu chuẩn chế tạo có kích thước  $W/L = 0.12 \mu\text{m}/0.1 \mu\text{m}$ .

### 7.2 Kết quả dòng máng và điện áp điều khiển

Kiểm chứng giữa hai mô hình DC được trích xuất và chế tạo thực tế, mô hình được trích xuất Mức 3 cho ra kết quả với độ lệch lớn. Mô hình được trích xuất BSIM3v3.1 mức 49 cho ra kết quả tương đối khớp với kết quả của FAB-Silicon. Bảng 7.1 trình bày sai số giữa kết quả chế tạo thực tế và các kết quả mô phỏng từ hai mô hình DC.

Bảng 7.1 Sai số giữa kết quả chế tạo thực tế và các kết quả mô phỏng,  $I_D-V_{CG}$

$I_D - V_{CG}$	MAX (%)	RMS (%)
FAB-Silicon versus BSIM3v3.1 Level 49	71	51
FAB-Silicon versus Level 3	2648	1212

### 7.3 Kết quả dòng máng và điện áp cực máng

Tương tự, độ sai lệch tương tự như trong mô phỏng quan hệ giữa dòng điện máng và điện áp cực điều khiển trong mục trước đó. Bảng 7.2 trình bày sai số thu được.

Bảng 7.2 Sai số giữa kết quả chế tạo thực tế và các kết quả mô phỏng,  $I_D-V_D$

$I_D - V_D$	MAX (%)	RMS (%)
FAB-Silicon versus BSIM3v3.1 Level 49	23	16
FAB-Silicon versus Level 3	93	92

Tóm lại, từ các kết quả so sánh trên có thể rút ra nhận xét như sau:

- Mô hình Mức 3 được trích xuất cho ra kết quả độ chính xác thấp.
- Mô hình BSIM3v3.1 mức 49 được trích xuất từ công cụ được đề xuất từ luận án cho ra kết quả với độ chính xác tốt, được thể hiện khi độ chênh lệch với kết quả FAB-Silicon chấp nhận được.

## CHƯƠNG 8 KẾT LUẬN

Trong luận án này, bốn mục tiêu đặt ra đã được hoàn thành và cho ra các kết quả tốt.

Đầu tiên, công cụ được đề xuất thiết kế nhằm phục vụ cho quá trình nghiên cứu linh kiện bán dẫn được hoàn thành với tên gọi TCADAS được đặt bởi luận án. TCADAS được viết tắt bởi cụm từ Technology Computer-Aided Design Automatic Simulation với ý nghĩa tự động hoá quá trình thiết kế sử dụng sự hỗ trợ bởi máy tính. Trong luận án, cấu trúc Nanocrystal MOS cực cổng nổi và cấu trúc MOS cực cổng nổi truyền thống được nghiên cứu, mô phỏng chế tạo ảo, và mô phỏng đặc tính đã được thực hiện trên công cụ TCADAS này. Bản công cụ này được công bố để đóng góp cho cộng đồng nghiên cứu vi mạch: <https://github.com/Steve-Dang459/tcadas.git>, <https://github.com/hoangtranhcmut/tcadas>.

Thứ hai, luận án nghiên cứu và đề xuất bộ thông số tối ưu cho mô phỏng chế tạo cấu trúc Nanocrystal MOS cực cổng nổi cho công nghệ CMOS 65 nm để đạt được đặc tính, chất lượng cao cho linh kiện. MOS cực cổng nổi cấu trúc Nanocrystal đã đạt được các đặc tính cũng như chất lượng tốt và cạnh tranh so với các công trình liên quan đã được công bố.

Thứ ba, luận án thực hiện nghiên cứu, mô phỏng chế tạo ảo, và đề xuất một bộ thông số chế tạo cho cấu trúc MOS cực cổng nổi tiêu chuẩn. Từ kết quả mô phỏng đặc tính đặc biệt kết quả cửa sổ bộ nhớ, và tốc độ Ghi/Xoá, MOS cực cổng nổi từ luận án được so sánh với các công trình đã được công bố trong thời gian gần đây và đã cho thấy sự cạnh tranh và tốt hơn trong một số khía cạnh.

Mục tiêu cuối cùng, luận án thực hiện áp dụng hai hướng tiếp cận trong trích xuất mô hình DC cho MOS cực cổng nổi cấu trúc tiêu chuẩn. Trong khi phương pháp sử dụng công cụ tiêu chuẩn công nghiệp đơn giản nhưng gặp phải vấn đề giới hạn về độ chính xác của mô hình Mức 3, hướng tiếp cận sử dụng mô hình tương đương được xây dựng nhằm giải quyết vấn đề giới hạn trên. Cụ thể, mô hình tương đương bao gồm một MOS transistor, một tụ điện, và một nguồn điện áp điều khiển bằng điện áp. Đặc biệt, luận án đã xây dựng thành công một công cụ phục vụ trong việc trích xuất mô hình cho MOS

transistor trong mô hình tương đương của MOS cực cổng nổi cấu trúc tiêu chuẩn bằng việc sử dụng các thông số được đề xuất trong mô phỏng chế tạo ảo và mô hình toán của BSIM3v3.1 mức 49. Luận án đã hệ thống hóa, xây dựng công cụ trích xuất mô hình DC cho MOS cực cổng nổi sau khi mô phỏng chế tạo ảo nhằm tạo ra bộ thông số mô hình chuẩn của MOS cực cổng nổi. Trong thiết kế vi mạch như bộ nhớ không bay hơi, người thiết kế sẽ sử dụng bộ thông số mô hình này cùng với các công cụ chuyên dụng để thực hiện các mạch thiết kế. Bản công cụ để trích xuất mô hình DC, BSIM3v3.1 mức 49 này được công bố để đóng góp cho cộng đồng nghiên cứu: <https://github.com/Steve-Dang459/DCExtractionTool>, <https://github.com/hoangtranhcmut/DCExtractionTool>.

Ngoài ra, MOS cực cổng nổi từ luận án và các kết quả mô phỏng được kiểm nghiệm, kiểm chứng thông qua cấu trúc chuẩn công nghiệp đã được chế tạo thực tế trên Silicon. Việc kiểm nghiệm được thực hiện giữa kết quả mô phỏng của hai mô hình DC được trích xuất với kết quả chế tạo thực tế trên Silicon.

Về hướng phát triển, luận án sẽ thực hiện cải tiến công cụ TCADAS nhằm áp dụng cho các linh kiện bán dẫn khác ngoài MOS cực cổng nổi. Thêm vào đó, trong tương lai, MOS cực cổng nổi từ luận án có thể được cải tiến và nghiên cứu trong các công nghệ cao hơn và thực hiện áp dụng vào các thiết kế vi mạch như bộ nhớ không bay hơi, mạch tương tự hỗn hợp...