

## THÔNG TIN LUẬN ÁN TIẾN SĨ

Đề tài nghiên cứu: **Nghiên cứu, thiết kế, mô phỏng chế tạo MOS cực cổng nổi**

Chuyên ngành: **Kỹ thuật điện tử** Mã số: **9520203**

Họ và tên NCS: **Đặng Công Thịnh**

Tập thể hướng dẫn: **PGS.TS. Hoàng Trang**

Cơ sở đào tạo: **Trường Đại Học Bách Khoa - ĐHQG TP.HCM**

***Thông tin tóm tắt về những đóng góp mới về mặt học thuật, lý luận của luận án:***

MOS cực cổng nổi đã và đang nhận được rất nhiều sự quan tâm trong nhiều thập kỷ vừa qua bởi vì linh kiện cung cấp được nhiều đặc tính quan trọng trong lĩnh vực thiết kế vi mạch và sự ứng dụng rộng rãi của nó. Tổng quát, MOS cực cổng nổi thuộc nhóm MOSFET truyền thống với một cực cổng nổi được cách ly hoàn toàn bởi các lớp cách điện trong chế tạo. MOS cực cổng nổi được ứng dụng trong rất nhiều thiết kế như thiết kế mạch tương tự hỗn hợp, mạng nơ-ron, đặc biệt trong bộ nhớ không bay hơi. Linh kiện cũng được nghiên cứu và đánh giá như là thành phần lưu trữ tiềm năng trong thiết kế vi mạch tương tự và thiết kế vi mạch số.

Tuy nhiên, dựa vào nhu cầu của thị trường, trong khi sự thu nhỏ theo tỉ lệ của linh kiện CMOS nhằm cải thiện tốc độ hoạt động, công suất tiêu tán, và chi phí chế tạo, một trong những thử thách mắc phải đó là về giới hạn về độ dày của lớp Tunnel Oxide. Độ dày này được nêu lên bởi tổ chức IRDS và Intel với giá trị là 6 nm. Thử thách được đề cập ở đây đó là khi độ dày của lớp Tunnel Oxide trở nên cực kỳ mỏng, sự rò rỉ của điện tích được lưu trữ trên cực cổng nổi trở nên đáng kể và dẫn đến sự gia tăng lớn trong công suất tiêu tán và đồng thời làm giảm chất lượng của linh kiện MOS cực cổng nổi như thời gian duy trì, khả năng chịu đựng, của số bộ nhớ,...Thêm vào đó, sự giảm độ dày của lớp Tunnel Oxide đồng thời dẫn đến sự suy giảm giá trị Gate Capacitance Ratio (GCR), giá trị của thông số GCR phải thỏa điều kiện lớn hơn hoặc bằng 0.6. Thông số GCR ảnh hưởng trực tiếp đến tốc độ hoạt động của linh kiện. Giá trị thông số thấp dẫn tới khả năng điều khiển cực cổng kém và yêu cầu điện áp cung cấp đầu vào cho hoạt động cao hơn nhằm bù lại cho phần sụt giảm giá trị

tụ. Do đó, nghiên cứu về giải pháp để giải quyết thử thách được đề cập bên trên về độ dày của lớp Tunnel Oxide đóng một vai trò cực kỳ quan trọng trong sự phát triển của thiết kế vi mạch nói chung và MOS cực cổng nổi nói riêng.

Trong việc giải quyết thử thách trên, nhiều nghiên cứu đã được công bố trong thời gian nhiều thập kỷ vừa qua. Tổng quan các công trình nghiên cứu cho thấy có ba hướng tiếp cận chính. Trong đó, hướng tiếp cận thứ nhất đề xuất nghiên cứu các cấu trúc mới cho linh kiện MOS cực cổng nổi, hướng tiếp cận thứ hai nghiên cứu về các vật liệu mới trong chế tạo linh kiện bán dẫn, và hướng tiếp cận thứ ba tập trung tối ưu cho cấu trúc tiêu chuẩn của MOS cực cổng nổi.

Trong luận án, để vượt qua các vấn đề về cửa sổ bộ nhớ, tốc độ, công suất dòng rò, và độ dày của lớp Tunnel Oxide, cấu trúc Nanocrystal MOS cực cổng nổi được nghiên cứu trong hướng tiếp cận thứ nhất, và cấu trúc tiêu chuẩn MOS cực cổng nổi được nghiên cứu trong hướng tiếp cận thứ ba. Luận án nghiên cứu và đề xuất hai bộ thông số của hai cấu trúc linh kiện MOS cực cổng nổi trong mô phỏng chế tạo ảo. Việc sử dụng hai bộ thông số này, chất lượng của linh kiện được cải thiện tốt và vượt qua được các vấn đề được nêu bên trên. Cụ thể, cấu trúc Nanocrystal đạt được chất lượng tốt như giá trị cửa sổ bộ nhớ lớn 2.8V khi điện áp cung cấp đầu vào  $\pm 6$  V, và tốc độ Xoá cao với giá trị 2.03 us, 28.6 ns, và 1.6 ns khi điện áp đầu vào cực điều khiển  $\pm 9$  V,  $\pm 12$  V,  $\pm 15$  V, tương ứng. Bên cạnh đó, cấu trúc MOS cực cổng nổi tiêu chuẩn đạt được 4 V cửa sổ bộ nhớ khi điện áp cung cấp ở cực điều khiển  $\pm 6$  V, và tốc độ Xoá cao với giá trị lần lượt là 1 us, 15 ns, và 0.9 ns khi điện áp đầu vào  $\pm 9$  V,  $\pm 12$  V,  $\pm 15$  V.

Ngoài ra, luận án đề xuất một phương pháp mô phỏng chế tạo ảo cho linh kiện bán dẫn và thiết kế một công cụ mới với tên gọi TCADAS. Công cụ TCADAS được viết tắt bởi cụm từ Technology Computer-Aided Design Automatic Simulation với ý nghĩa tự động hoá quá trình thiết kế sử dụng sự hỗ trợ bởi máy tính. Công cụ có thể thực hiện mô phỏng chế tạo ảo một cách hoàn chỉnh, mô phỏng đặc tính linh kiện, sự biến thiên trong quy trình chế tạo ảo, và trích xuất thông số quan trọng ngõ ra. Đặc biệt, công cụ TCADAS cung cấp giải pháp nhằm loại bỏ các công việc đòi hỏi tốn nhiều nguồn lực như cài đặt các thông số ngõ vào, giảm thiểu sai sót, mà thay vào đó bằng giải pháp tự động hoá. Trong luận án, hai cấu trúc Nanocrystal MOS cực cổng nổi và cấu trúc tiêu chuẩn MOS cực cổng nổi được nghiên cứu và thực hiện mô phỏng thiết kế bởi công cụ TCADAS.

Tiếp theo, sau khi đã thiết kế cấu trúc MOS cực cổng nổi thành công, luận án thực hiện trích xuất mô hình DC cho linh kiện nhằm mục đích từ mô hình được trích xuất này có thể được áp dụng trong các thiết kế thực tế như bộ nhớ không bay hơi. Cấu trúc MOS cực cổng nổi tiêu chuẩn được trích xuất mô hình DC trong luận án này. Hai phương pháp trích xuất mô hình DC được sử dụng trong luận án. Phương pháp thứ nhất, với một cách tiếp cận đơn giản, luận án đề xuất sử dụng công cụ chuẩn công nghiệp ICCAP trong nghiên cứu và trích

xuất mô hình DC, nơi mô hình Mức 3 được áp dụng. Phương pháp tiếp cận thứ hai, một mô hình tương đương bao gồm MOS transistor, tụ điện, nguồn điện áp điều khiển bằng điện áp được áp dụng nhằm mục đích đạt được độ chính xác cao và giải quyết được vấn đề giới hạn về độ chính xác trong phương pháp thứ nhất. Trong luận án, mô hình chuẩn BSIM3v3.1 mức 49 được sử dụng trong hướng nghiên cứu phương pháp thứ hai, và các mô phỏng DC sau khi được trích xuất mô hình được thực hiện trên công cụ Ltspice. Cuối cùng, nhằm thực hiện kiểm chứng các kết quả mô phỏng của cấu trúc tiêu chuẩn MOS cực cổng nổi bao gồm hai mô hình DC được trích xuất, các kết quả trên được so sánh với cấu trúc tiêu chuẩn được chế tạo thực tế trên Silicon trong công nghiệp. Về kết quả kiểm chứng và so sánh, trong khi kết quả mô phỏng của mô hình BSIM3v3.1 mức 49 là chấp nhận được, kết quả độ chính xác của mô hình Mức 3 đúng như dự đoán khi độ chính xác không cao bởi vì sự giới hạn của mô hình cụ thể Mức 3.

**Tập thể hướng dẫn**

**Nghiên cứu sinh**

**PGS.TS. Hoàng Trang**

**Đặng Công Thịnh**